

Inledaren

Begreppet VLSI – Very Large Scale Integration – ännu mer storskaleintegrerade kretsar – är lite motsägelsefullt. Det handlar om att integrera komplexa system på en kiselbricka som är allt annat än stor. Storheten ligger i den ökade komplexiteten.

Naturligtvis är gränsen mellan något stort och något ännu större, subjektiv och flytande. Är det någon mening med en gränsdragning mellan LSI och VLSI? Frågan är egentligen onödig för VLSI är redan ett internationellt begrepp. Det som skiljer är komplexiteten.

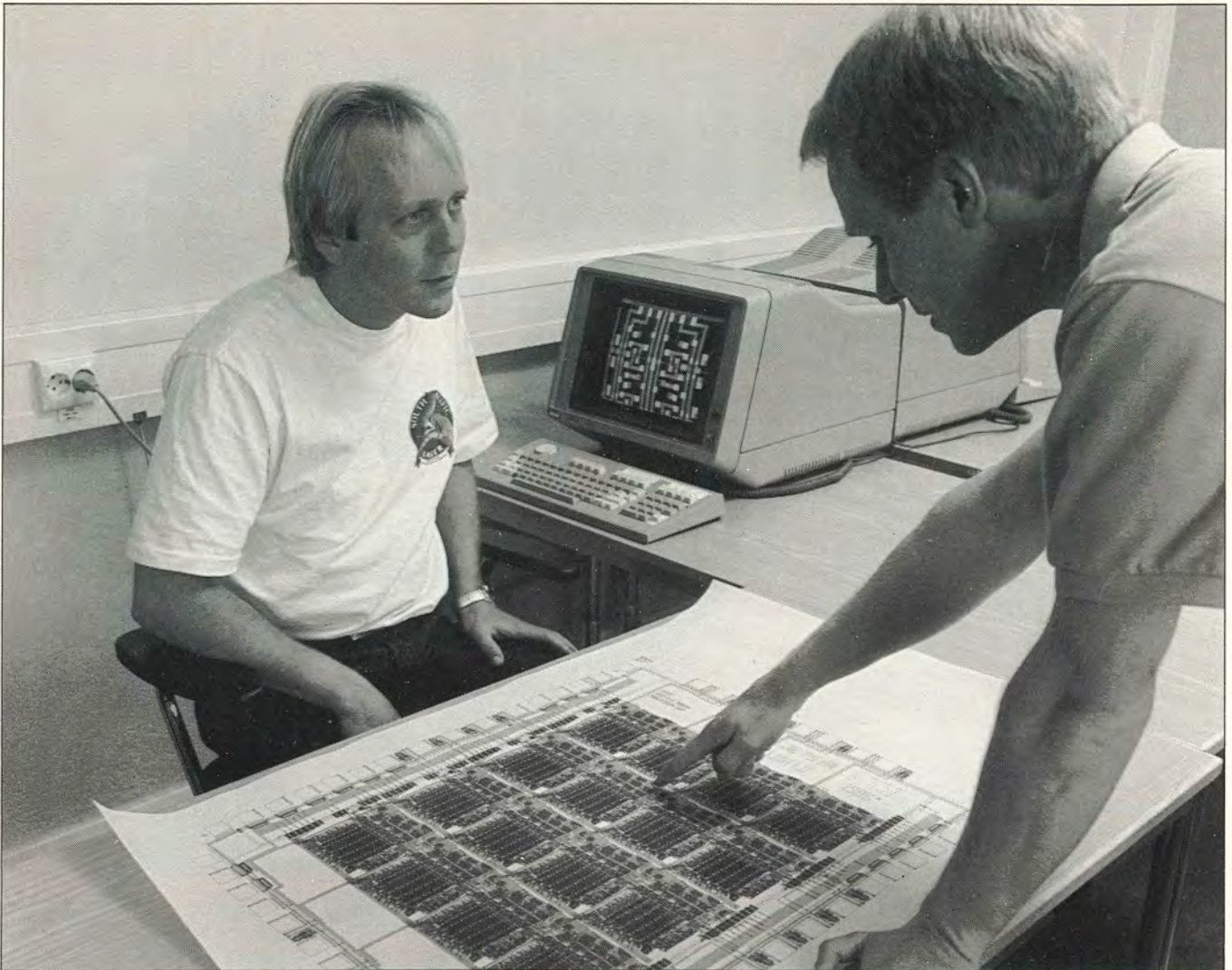
Enligt Carver Mead, denne VLSI-teknikens profet, är VLSI ett konstaterande om komplexitet snarare än om linjebredd, transistorstorlek och kretsprestanda. VLSI är definitionen på en teknologi som är kapabel att skapa så komplexa eller komplicerade system, att just problemet att hantera komplexiteten överskuggar alla teknologiska svårigheter. Här gör klassiska begrepp som hierarkisk organisation och strukturerade metoder sitt intåg i layout och konstruktion av integrerade kretsar. Många av dessa tankar presenteras i "Introduction to VLSI Systems" av Mead and Conway – en bok som redan blivit "klassisk".

VLSI-tekniken innebär också en mötesplats för flera olika ämnesområden. Det är ett möte som inte är helt friktionsfritt men som ändå redan resulterat i att VLSI-tekniken håller på att bli sin egen vetenskap. Den första VLSI-konferensen hölls nu i sommar i Edinburgh och nästa är i Trondheim, VLSI -83.

VLSI handlar idag mycket om att formulera ett lämpligt gränssnitt mellan olika discipliner. Ett gränssnitt mellan systemkonstruktörerna och halvledarindustrin. Vi ser hela tiden en vertikal integration – halvledartillverkarna blir systemtillverkare och systemtillverkarna skaffar sig egna halvledarfabriker. Mycket av framgången med Mead & Conways bok ligger i att man samtidigt visat att systemkonstruktörer med bara mycket enkla kunskaper om kisel och några få designregler kan konstruera egna integrerade system genom Multiproject Chip (MPC) (Se Elteknik 2/81 och 14/81).

Innebär detta att halvledarindustrin kan förvandlas till en serviceindustri – "silicon foundry" eller "kiselsmedja" – som levererar kretsar efter ritning på samma sätt som skruvindustrin idag levererar skruvar till bilindustrin, flygindustrin osv? Kommer industrins tyngdpunkt att förskjutas från själva teknologin som idag till att bli mera produktorienterad? Ja, meningarna är delade och halvledartillverkarna hävdar att gränssnittet inte kan göras så enkelt som systemkonstruktörerna drömmer om. Debatten brukar bli ganska häftig och framtiden får visa vem som får rätt. I sista hand avgör ekonomin och det är intressant att konstatera att de första "kiselsmedjorna" nu börjar annonsera i fackpressen.

Kjell O Jeppson



Högskolans uppgift är att ge teknologerna en känsla för VLSI-teknikens möjligheter, och inte att hantera ett specifikt datorsystem.

”Vi gjorde det själva”

Ett VLSI-verktyg för teknologer

På Chalmers och i Linköping utvecklar man egna konstruktionsverktyg för kurserna i VLSI-konstruktion. Det är nödvändigt för att teknologerna ska få insikt även i framtidens teknik, skriver Kjell Jeppson och Christer Svensson.

Viktigast för en modern utbildning i VLSI-konstruktion är rätt hjälpmedel för datorstödd konstruktion.

Systemet måste vara kraftfullt och lätt att använda. Av flera olika skäl har de tekniska högskolorna valt att utveckla egen program- och maskinvara.

Det tunga argumentet hänförs till att målet för en högskola är att utbilda konstruktörer som visserligen ska lära sig att klara av dagens system, men som också får en känsla för kiselteknikens potential. Med det avses en insikt även för framtidens möjligheter, där tekniken utvecklas och mer avancerade typer av

datorstödd VLSI-konstruktion introduceras.

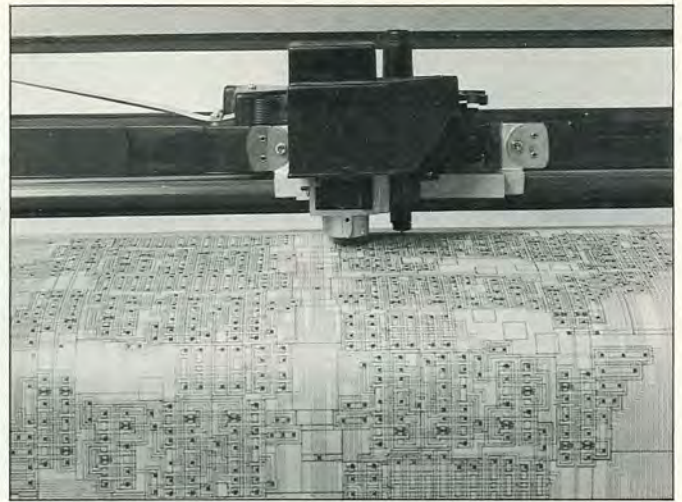
Men teknologerna ska också lära sig att välja lämplig kretsteknik, (statisk eller dynamisk logik, CMOS eller bipolär teknik), mikroarkitektur och klockningsstrategi.

De ska också lära sig att det finns ekonomiska och produktionstekniska ramar som lett till en uppdelning i olika realiseringsmetoder: grindmatriser, standardcell eller skräddarsydda kretsar (eng. Full custom).

Det är viktigare för teknologerna att förstå förutsättningar och möjligheter än



Tillverkade och kapslade VLSI-kretsar verifieras av teknologerna i en avancerad mätutrustning.



En förstorad layout av kretsen ritas upp i flerfärg på papper. Samma mönster överförs sedan till maskerna.

att lära sig att mekaniskt hantera endast ett av dagens kommersiella system för datorstödd VLSI-konstruktion.

Morgondagens teknik kommer att ha andra ekonomiska randvillkor som teknologerna måste vara förberedda på och kunna utnyttja.

Men dagens kommersiella programvara medger antingen konstruktion av endast en typ av kretsar eller så är den för dyr. Mellan 300 000 och 500 000 kr i underhåll om året för två användarlicenser är inget alternativ för en bred högskoleutbildning i VLSI-konstruktion med 100 deltagare.

En annan begränsning hos kommersiell programvara är inlärningstiden. Ofta krävs mellan en och två veckors heltidskurs bara för att hantera verktygen. Den tiden finns inte på en högskolekurs, den tiden måste användas för att lära ut VLSI-teknik.

De program för VLSI-konstruktion som används vid de amerikanska högskolorna (t ex Magicpaketet från Berkeley) har inte förut varit tillgängliga för svenska högskolor på grund av det amerikanska exportembargot.

UTVECKLA EGET SYSTEM

De tekniska högskolorna i Göteborg, Linköping och Lund bestämde sig alltså för att utveckla egna verktyg för datorstödd VLSI-konstruktion. Förutsättningarna var följande: Verktygen ska vara enkla att använda. Inlärningstiden ska vara extremt kort; teknologerna kan inte skickas på en veckas kurs i Alperna utan måste kunna behärska verktygen hjälpligt efter några timmars introduktion.

Verktygen ska vara tillräckligt enkla och öppna för att konstruktören ska ha full insyn i hur verktygen arbetar. På så sätt ökar insikten i såväl konstruktionsprocessen som i verktygens funktion. Det är den stora skillnaden mellan en högskoleutbildning och en Cad-kurs.

Teknologen ska ha full kontroll över

hela konstruktionen – all information ska finnas tillgänglig, layouten ska inte läggas till efteråt av kiselleverantören. Miljön ska vara öppen och leverantörsberoende.

Slutligen skall verktygen medge billig prototypstillverkning.

Om möjligt ska programvaran dessutom vara internationellt slagkraftig i sig själv. Högskolan kan på så sätt utbilda forskare även inom datorstödd VLSI-konstruktion på verktygsområdet.

HUR DET BLEV

Eftersom datorhjälpmedlen utvecklades på högskolan har man automatiskt fått fördelarna med månganvändarlicens och låga driftkostnader.

Begränsningarna med det egenutvecklade systemet är att det kan vara svårt att simulera mycket stora kretsar på transistornivå (switch-levelnivå).

Vidare är det tidskrävande att konstruera konventionella kretsar med standardceller. Det saknas nämligen program för automatisk utplacering och förbind-

ning av celler. Även för skräddarsydda kretsar behövs bättre verktyg för att förbinda block med varandra.

Kortfattat fungerar högskolans konstruktionssystem på följande sätt.

Varje teknolog får tillgång till de gemensamma konstruktionsreglerna. Med dessa kan han göra layout och simulera avancerade skräddarsydda kretsar. Teknologens konstruktion levereras i form av en fysisk layout direkt över datanätet till kiselmäklaren Nordic VLSI.

För att till fullo förstå den potential som finns att hämta inom kiselkonstruktionstekniken måste teknologerna kunna konstruera egna celler som är optimalt anpassade till sin omgivning.

För att underlätta introduktionen får de vissa hjälpmedel:

På Chalmers använder man en teckenbaserad alfanumerisk symbolisk layoutstil, som på engelska kallas gate matrix layout (GML). Programmet har utvecklats för mikroprocessorkonstruktion vid Bell Labs. Metoden ger en regelbunden layout, med en matris av vinkelräta diffu-

ARBETSGÅNGEN PÅ HÖGSKOLANS VLSI-KURS

Teknologerna börjar med att analysera uppgiften och gör sedan ett blockschema för konstruktionen.

På denna nivå kan konstruktionen sedan simuleras i exempelvis Pascal. Det klarar i alla fall en mer försigkommen konstruktör.

Från blockschemat görs sedan ett logikschema, med kända element som grindar, vippor eller transistorer från högskolans eget cellbibliotek samt med önskade celler som ännu inte finns. De saknade cellerna konstrueras på transistornivå

eller med någon cellgenerator.

Sedan kan konstruktionen simuleras med programmet Tmods varför den måste beskrivas i textformat. För att minska inlärningstiden görs beskrivningen i Pascal, ett språk som teknologerna kan. Där efter görs en komplett layout med hjälp av Cifed. Cifed är ett interaktivt datorstött ritbord för layout av kretsar.

Slutligen kontrolleras konstruktionen med programmet Corny, som ser till

att konstruktionsreglerna i den gemensamma svenska universitetsprocessen följts. Den tar också fram en komplett nätbeskrivning på transistornivå. Nätbeskrivningen kontrolleras i sin tur genom en ny simulering med Tmods. Simuleringen kan också ske på krets nivå med simuleringssystemet Spice. Dessa program utgör basen och kan byggas ut med exempelvis en generator av programmerbar logik (PLA) och sekvensnät.

HÖGSKOLANS PROGRAM

CIFED

Cifed är en grafisk redigerare för layout av integrerade kretsar som utvecklats vid Chalmers.

Cifed är det basverktyg med vars hjälp man skapar den fysiska layouten. Grundelementen är rektanglar och polygoner samt ledare med viss bredd. Dessa kan arrangeras i celler, som kan användas hierarkiskt i kretsbeskrivningen. Cellerna kan flyttas, speglas och vridas. Konstruktionsystemet är huvudsakligen av "Manhattan-typ", vilket innebär att alla geometriska linjer är parallella med x- eller y-axeln. Men det är ingen väsentlig inskränkning vid CMOS-konstruktion.

Med Cifed kan man få olika vyer av kretsen, zooma in detaljer och söka upp block som ska ändras. Det går också att få ut en pappersritning av layouten.

Denna grafiska redigerare är lämplig för konstruktion av medelstora kretsar, trots att man använder skärmar med måttliga prestanda. Hela skärmytan utnyttjas för layout eftersom det inte finns några fasta menyer som minskar den användbara skärmytan. I stället kan man ropa på aktuella menyer.

Cifed utnyttjar konstruktionens hierarki för att påskynda redigeringen på skärmen.

Cifedprogrammet är oberoende av processteknik, så vid Chalmers används det inte bara för konstruktion av integrerade kretsar utan även för konstruktion av Josephson-övergångar, fotoceller, MESFETs och HEMT-strukturer samt mikrobearbetade kiselensorer.

TMODS

Tmods är en simulator som arbetar på transistornivå, som har utvecklats vid Linköpings Tekniska Högskola. Programmet behandlar en transistor som en omkopplare med en resistans. Signaler behandlas enbart som logiska variabler, vilket betyder att en signal endast kan anta värdena "låg, hög och obekant". Tiden hanteras som en följd av händelser (vid bestämda tidpunk-

ter) i stället för som en kontinuerlig variabel.

Tmods fungerar således som en logiksimulator som kan hantera transistorer. Genom att använda denna typ av simulator istället för den analoga simulatoren Spice, får man rimliga simuleringstider även för mycket stora nät på tusentals transistorer. Och detta trots att man arbetar på transistornivå.

Med Tmods kan teknologerna använda godtyckliga digitala konstruktionsmetoder: såväl statisk som dynamisk logik med förladdning. I Linköping har man till exempel gjort en del experiment med dynamisk höghastighetslogik med en enda klocksignal. Programmet beräknar också tidsfördröjningar (baserat på transistorernas resistanser och kapacitanser) och förutsäger därför prestanda med en acceptabel noggrannhet.

CORNY

Corny, som har utvecklats vid Chalmers, är ett program för kontroll av konstruktionsregler och som också arbetar som krets-extraktor. Det arbetar fullständigt hierarkiskt.

Programmet beskriver såväl konstruktionsregler som komponenter i form av villkor som ska vara uppfyllda i hörnen av layouts rektanglar. Med hörn menas också hörn som uppstår när olika lager korsar varandra. Fördelarna är att alla regler kan deklarerats som enhetligt formulerade villkor (i stället för att indi-

rekt specificeras genom lageroperationer) och att små områden av layout kan kontrolleras oberoende av varandra. Det gör hierarkisk kontroll mellan överlappande celler mer effektiv.

Programmets starka sidor är att snabbt kunna hitta fel i områden som överlappas av flera celler. Vidare kan det hierarkiskt och effektivt koppla ihop noder och elektriska komponenter som dyker upp i olika celler på olika nivåer i konstruktionen. Ett viktigt problem som programmet löst är att avgöra på vilken cellnivå ett konstruktionsregelfel eller en extraherad komponent ska placeras för att underlätta konstruktörens vidare arbete.

OPTIMIZE

Optimize är ett annat program som används på högskolorna i Lund och på Chalmers. Med programmet realiserar man ett sekvensnät med programmerbara logiska enheter, PLA. Programmet, som är en optimerande kompilator för sekvensnät, har utvecklats i Lund.

Sekvensnätets funktion beskrivs som en tillståndsgraf. Kompilatorn genomförs sedan helautomatiskt samtliga syntes- och optimeringssteg. Optimeringen kan ske med avseende på såväl antalet tillstånd i nätet som tillståndskodning och minimering av funktionens logiska uttryck. Utdata från Optimize kan sedan matas vidare till en generator för programmerbar logik som automatiskt gör en layout.

sionsrader och polykiselkolumner.

Varje korsning mellan en rad och en kolumn är en potentiell transistorposition. Genom att använda alfanumeriska tecken kan konstruktören göra en layout vid vanliga terminaler utan någon detaljkunskap om geometriska layoutregler.

Konstruktionen kan fokuseras på fundamentala logiska funktioner där transistorer är de viktiga byggblocken.

Metoden är enkel och tvingar konstruktören att strukturera sin konstruktion: polykisel lodrätt och diffusioner för source och drain horisontellt.

Metoden är förvånansvärt kraftfull och medger snabb anpassning till olika konstruktionsregler utan att konstruktionen behöver göras om.

Det är lätt att ha flera konstruktörer på olika kretsblock samtidigt – ett fast nät ("grid") gör det lätt att passa ihop olika block med varandra.

I Linköping har man utvecklat en transistornätsgenerator som från den logiska funktionens Booleska ekvation tar fram en layout för motsvarande funktion.

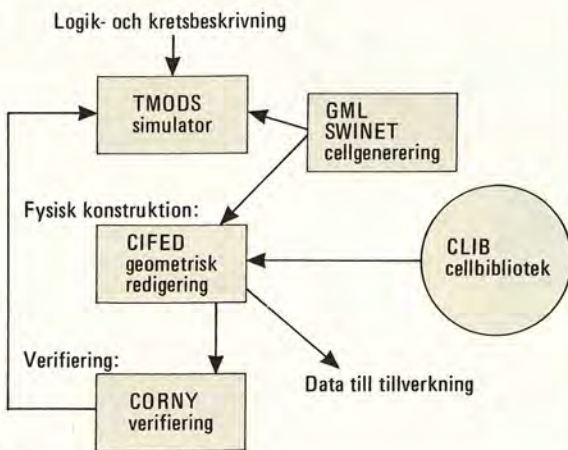
Teknologerna får sedan lära sig att simulera funktionen och tidsfördröjningen hos en krets. På CTH arbetar de med en åtta bitars digital komparator uppbyggd med cellen från layoutlaborationen. Teknologerna använder då både transistorsimulatorens Tmods och kretssimulatorens Spice.

Funktionen simuleras med Tmods och fördröjningen mellan cellerna med Spice.

På Chalmers får teknologerna också konstruera en 16 bitars bitstrimlad beräkningsenhet (ALU) för att öva strukturerad konstruktion innan de börjar med sin egen kretskonstruktion.

Efter den uppgiften ska teknologerna kunna sammanfoga systemaspekter på kisel med detaljinformation om transistorer. ■

KJELL O JEPPSON
CHRISTER SVENSSON



Referenser:

1. *Sven Christensson: CIFED – A Program based on the CIF Concept including a Graphical Editor*, Chalmers tekniska högskola (1985).
2. *Nils Hedenstierna: CORNY, A Hierarchical Design Rule Checker (DRC) and Circuit Extractor*, Chalmers tekniska högskola, Sektionen för Elektro- och datorteknik, Licentiatuppsats No 42L (1987).
3. *Rolf Sundblad och Christer Svensson: Fully Dynamic Switch-Level Simulation of CMOS Circuits*, IEEE Trans on CAD of Circuits and Systems, Vol CAD-6, sid 282–289 (1987).
4. *L W Nagel: SPICE2: A Computer Program to Simulate Semiconductor Circuits*, Report ERL-M520, University of California, Berkeley (1975).
5. *Lars Philipson och Björn Breidgard: Strukturerad VLSI-konstruktion*, sid 312–325, Studentlitteratur (1986).

Nordiskt samarbete i kretskonstruktion

VLSI-tekniken ställer nya krav på kunnande hos konstruktörerna. Utbildningsbehovet i Norden kan täckas med ett "Multi project chip". En teknik där flera intressenter delar kostnaden för en gemensam krets.

Vid CAD och VLSI-kursen nyligen i Linköping diskuterades planerna på ett samnordiskt Multiproject Chip (MPC). MPC-kretsar har tidigare beskrivits i Elteknik (8/12) som en "revolution" i utbildningen av konstruktörer av integrerade kretsar. Den snabba teknologiska utvecklingen inom LSI- och VLSI-tekniken innebär ett nytt stort utbildningsbehov för nordisk elektronikindustri. En kommitté bildades med Dr Ole Olesen vid Danmarks Tekniska Högskola som ordförande för att få finansiellt stöd till projektet. Fyra samnordiska integrerade kretsar om året är planerade där flera olika projekt med högskoleforskare, elektronikindustrier och teknologer ska kunna delta.

Idén med MPC kommer från Caltech - California Institute of Technology där professor Carver Mead är verksam. Genom att flera projekt går samman och delar kostnaderna för en gemensam krets blir det möjligt att i forsknings- och utvecklingssyfte beställa provserier av kretsar hos kommersiella tillverkare. Den nya VLSI-tekniken kommer att ställa helt nya krav på system- och kretskonstruktörer. De kan inte längre vira ihop prototyper på kretskort med mindre integrerade kretsar, SSI och MSI. För högskolor och universitet med begränsade eller obefintliga resurser för egen kretstillverkning blir ett samgående helt nödvändigt.

I USA fungerar detta samarbete utmärkt. De första MPC-kretsarna gjordes under ledning av Carver Mead som ett led i forskningen på nya datorarkitekturer på Caltech och av Lynn Conway från Xerox PARC på MIT - Massachusetts Institute of Technology. De har också givit ut en bok "Introduction to VLSI Systems" som redan blivit "klassisk".

Sedan starten har MPC-projektet, som stöds av Department of Defense, vuxit till att omfatta ett trettiotal universitet. Kretsarna konstrueras på de olika universiteten efter ett antal ganska universella layout-regler. Tekniken forskarna använder är NMOS med polykiselstyre. Ganska avancerade kretsar har konstruerats med i många fall ytterst begränsade datorhjälpmedel genom en strukturerad konstruktionsfilosofi. Kretslayouterna läggs upp på datafiler i det gemensamma CIF - Caltech Intermediate Form. Filerna överförs sedan via Darpa-nätet (Defense Advanced Research Project Agency) till en gemensam datorcentral. Masker och kretsar tillverkas kommersiellt och kapslade kretsar skickas sedan till universiteterna för testning.

Även i Norden har en del MPC-kretsar konstruerats. Mikrovågsinstitutet vid KTH i Stockholm har just levererat maskunderlag till sin andra krets. Den konstruerades under deras kurs i "Konstruktion av Integrerade kretsar" med deltagare från svensk elektronikindustri. Teknologin är CMOS med metallstyre. Kretsarna tillverkas av Asea-Hafo som har mångårig erfarenhet av kund Anpassning i denna teknologi. Konstruktionerna har gjorts med egenutvecklade CAD-hjälpmedel.

Även det nystartade LSI-Design Centret vid Linköpings Tekniska Högskola har just levererat maskunderlag till sitt första MPC. Det är också en CMOS-krets som Asea-Hafo kommer att tillverka. Kretsen är konstruerad i rent forskningssyfte för högskolan men även FOA-3 och Chalmers i Göteborg har deltagit med var sin krets. De flesta kretsarna bygger på det bibliotek av logiska celler som lagts upp på Linköpings DEC-10. Datorhjälpmedlen är dock ganska begränsade idag. Det finns ett program som plottar de olika masklagren som kodats i CIF och det finns även en "parser" som kontrollerar att kretsdatafilens syntax är korrekt. Det finns också möjlighet till kretssimuleringar i Spice 2 och Digsim. Ändå har ganska komplexa kretsar konstruerats - de 12 olika delkretsarna täcker en yta på 1 cm².

Våra nordiska grannländer

I Norge har en MPC-krets konstruerats vid Oslo universitet, Sentral Institutt for industriell forskning, ELAB i Trondheim och Elektrisk Byrå A/S. Vem som ska tillverka kretsen är dock ännu inte bestämt. Som datorhjälpmedel har man haft tillgång till ett Calma-system. Kretsteknologin är NMOS.

I Finland gav Tekniska Forskningscentrat vid Helsingfors Tekniska Högskola en MPC-kurs i juni. Ett antal mindre CMOS-kretsar konstruerades manuellt och arbetet fullföljes med CAD från Computervision. Även i Danmark finns Computervisions CAD-hjälpmedel men man har ännu inte konstruerat någon MPC-krets annat än i "gate-array-teknik".

Fördelarna med ett gemensamt MPC-projekt i Norden är många. För det första är det viktigaste kravet på ett MPC-projekt att omloppstiden är kort från konstruktion till kapslad krets under testning. Målet kommer att uppnås med fyra fasta körningar om året. Var för sig är varje högskoleinstitution för liten, men med ett samgående blir underlaget tillräckligt. Högskoleinstitutionerna får också en större kontaktyta och en effektiv samlad kontakt mot halvledartillverkarna. Det ger också bättre möjlighet att sprida teknologin t ex genom gemensamma datorprogram, cellbibliotek osv. Det är helt enkelt nödvändigt att samla resurserna för att hänga med i den snabba teknologiska utvecklingen.

Nordisk elektronikindustri borde också vara mycket intresserad av projektet. Mycket snart kommer man att vara i stort behov av LSI- och VLSI-tekniken för att försvara sina marknadspositioner. Tar man inte tag i tekniken kommer man att hamna i svårigheter. Ett stort antal konstruktörer som kan tekniken kommer snart att behövas. Ett sätt att utbilda konstruktörerna är genom att delta på dessa MPC-kretsar. För att få igång ett samnordiskt Multiproject Chip kommer kommittén därför att ansöka hos Nordisk Industrifond för att köra ett pilotprojekt med fyra MPC-kretsar nästa år. *Kjell Jeppson*

Nordiska flerprojektchipp ger:

Bättre och billigare kiselkonstruktörer

Goda datorhjälpmedel är en förutsättning för att få till stånd en effektiv utbildning och forskning i kiselkonstruktion – ett område som blir allt viktigare att förstå och utnyttja.

Under senare år har därför de tekniska högskolorna genomfört en samordnad satsning för att gemensamt tillverka kiselkretsar i CMOS-teknik.

Kommunikation över det gemensamma datanätet är själva livsnerven i denna samordning. Samtliga tekniska högskolor är anslutna till nätet, liksom en del regionala högskolor, som högskolorna i Västerås och Sundsvall. Också kiselmäklaren, den samnordiska organisationen Norchip, är ansluten.

Tack vare datanätet kan information mellan högskolorna spridas på några sekunder. Om det uppstår problem på en högskola kan det kanske lösas med en programvara som finns på en annan skola, för att ta ett exempel.

Datanätet har byggts upp inom ramen för det nationella mikroelektronikprogrammet, NMP-1. UHÅ har via NMP tillskjutit 18,5 miljoner kronor till maskinvaran.

Programvaran kommer från två håll. Dels från amerikanska universitet (Spice), dels från de svenska högskolorna Chalmers, Linköping, Lund liksom från Institutet för mikroelektronik. En del av NMP-anslagen har också använts för att bygga upp den mätutrustning som används för att utvärdera de kretsar som konstrueras.

Högskolorna har också enats om en gemensam tillverkningsprocess för integrerade kretsar. Processen är en CMOS-teknik, tre μm polygate, med dubbla ledarlager i metall. Konstruktionsreglerna, som är gemensamma, innehåller både geometriska layoutregler och elektriska transistorparametrar. Dessutom finansieras kisel tillverkningen gemensamt så kisel blir fritt tillgängligt för forskning och utbildning. När det gäller tillverkning av kiselkretsar har de svenska högskolorna därmed nått samma status som de

Högskolorna satsar hårt på kiselkonstruktion. De har en gemensam tillverkningsprocess för kretsar och ett gemensamt datanät. Det skriver Kjell O Jeppson, lektor på Chalmers, och Christer Svensson, professor i Linköping.

viktigare universiteten i Förenta Staterna.

FLERPROJEKTCHIPP

För ett teknologiprojekt är det viktigt att prototyp tillverkningen är lättillgänglig. Och här har Norchip varit en tillgång för högskolorna. Tack vare Norchip kan högskolorna nämligen samköra i så kallade flerprojektchipp (eng. Multi-Project Chips, MPC). Till rimliga kostnader, ska tilläggas. Tack vare samkörningen kan flera kretskonstruktioner dela på prototypkostnaderna. Det kostar nästan lika mycket att tillverka en skivsat med enbart en konstruktion på $3 \times 3 \text{ mm}^2$ som att tillverka en skivsat med flera olika kretsar som tillsammans bildar ett flerprojektchipp på kanske $14 \times 14 \text{ mm}^2$.

Samma arbetssätt kan utvidgas till en flerprojektskiva (eng. Multi-Project Wafer, MPW). Det innebär att i stället för att samma krets upprepas över kisel ytan hela yta, ritas 10 – 20 exemplar av upp till kanske 50 olika kretsar med elektronstråle på samma kiselkiva. Utslaget per krets blir kostnaden för ett teknologiprojekt överkomligt.

Alltsedan 1980 har det bedrivits en ganska omfattande verksamhet med flerprojektchipp i Sverige. Sedan 1982 sker den i samnordisk regi genom Norchip. 40 skivsatser med över 500 olika kretsar har hittills tillverkats hos olika leverantörer sedan 1982. Målet är att erbjuda en körning i månaden.

I praktiken brukar det gå till så här:

Varje konstruktör (teknolog) får tillgång till de gemensamma konstruktionsreglerna. Med dessa kan han sedan konstruera sin integrerade krets, det vill säga göra layout och simulering för skraddarsydda kretsar (eng. full custom).

När konstruktören har en fysisk layout av kretsen levereras den direkt över datanätet till Nordic VLSI, som sköter om kiselmäklarverksamheten på Norchip. Norchip sammanställer sedan maskdata i form av MPC och MPW från alla konstruktörer. Därefter beställer Norchip masker hos något lämpligt "maskhus", såvida tillverkaren inte gör sina egna masker.

Sedan är det dags för skivtillverkningen. Konstruktionsreglerna är utformade så generellt att flera olika tillverkare kan komma i fråga.

Slutligen beställs kapsling av färdiga chipp, antingen hos leverantören eller hos någon annan elektronik tillverkare. De färdiga kretsarna levereras sedan till den ursprungliga konstruktören som får 10 kapslade prototyper.

Hela proceduren kan ta upp till fyra månader, men det görs ansträngningar för att korta omloppstiden. Chippen måste ju tillbaka till högskolan innan teknologen lämnar högskolan och ger sig ut i arbetslivet.

Att kretsarna verkligen tillverkas betyder mycket, både för elevernas motivation och för realismen i projekten. Ingen vill konstruera enbart pappersritningar för väggdekorationer.

Ibland händer det att ett examensarbete är en konstruktion som ska ingå i ett industriellt projekt. På Chalmers har man till exempel gjort en krets för en exponeringsmätare åt Hasselblad.

I Linköping har teknologerna bland annat tagit fram kärnan i en programmerbar logisk styrenhet (Logical Controller Unit, LCU). Konstruktionen innehåller 500 transistorer och teknologerna har gått från idé till kisel layout och simulering.

På Chalmers har man tagit fram en styrkrets med sekvensnät för en tryckpress. Kretsen används sedan drygt ett år tillbaka vid Teknologtryck.

250 TEKNOLOGER OM ÅRET

Situationen är liknande vid de andra högskolorna i landet. Sammantaget, över hela landet, går cirka 250 teknologer om året på kurser där man verkligen tillverkar den krets som konstruerats.

De flesta av projektkurserna är inriktade på digital teknik. Ett undantag är kursen vid Institutionen för tillämpad elektronik i Lund. Den har specialiserat sig på analoga konstruktioner.

Även inom forskningen och forskarutbildningen används Norchips samkörda prototypstillverkning. Och den kommer antagligen att få stor betydelse för forskningen inom många områden inom data-teknik, elektronik, telematik och annan elektronisk systemteknik.

De här kurserna i kiselkonstruktion är efterfrågade. I Linköping brukar det till exempel vara ett fyrtiotal som varje år går på en projektkurs. I Göteborg, på Chalmers, brukar ett femtiotal läsa en teoretisk kurs i digital VLSI-konstruktion. Av dessa brukar ungefär 15 gå vidare till etapp två, själva projektkursen.

Projektkurserna följs alltid upp med en utvärderingskurs där eleverna mäter på sina kretsar.

VIDAREUTBILDNING

I Lund ges flera typer av kurser i såväl analog konstruktion som i avancerad digitalkonstruktion med hjälp av kiselkompilator. Ett intressant projektexempel från Lund är en komplett mikroprocessor med såväl maskinvarukonstruktion som utveckling av mikroprogram och kompilatorer. I detta projekt deltog hela gruppen, 30 teknologer. Resultatet blev en stor krets – "världens första krets som konstruerats med kiselkompilator i universitetsmiljö och som sedan tillverkats", enligt Lundaprofessorn Lars Phi-

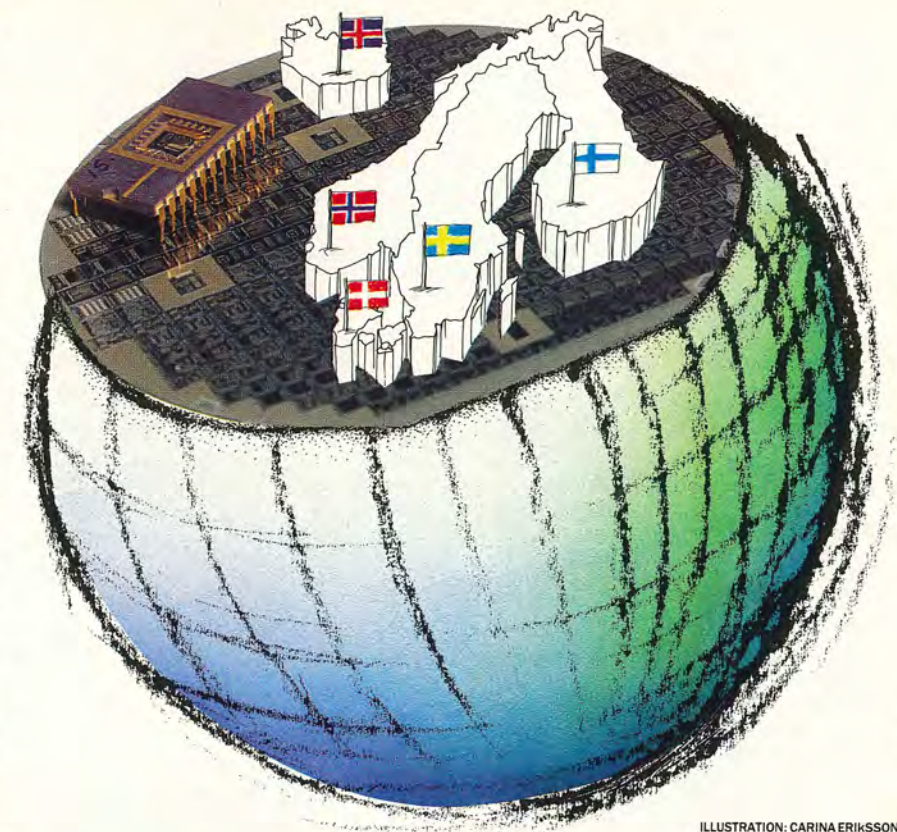


ILLUSTRATION: CARINA ERIKSSON

lipson. På Chalmers ska ett liknande projekt starta nu i vår.

Det är inte bara teknologer som efterfrågar kurserna i kiselkonstruktion. De tillhör de kurser av civilingenjörsutbildning som är specifikt efterfrågade av de blivande arbetsgivarna. Kurserna är efterfrågade också av yrkesverksamma civilingenjörer, varför både Chalmers och Lund har startat fortbildningskurser på 20 poäng med inriktningen ASIC/VLSI.

Genom att satsa på kiselkonstruktion har högskolorna också fått igång en forskarutbildning och en forskningsverksam-

het, i första hand vid högskolorna i Linköping, Lund och Göteborg. Tre "pionjärer" har hittills doktorerat, och ett tiotal licentiatexamina har avlagts. Dessutom ingår delprojekt som utnyttjar kiselkonstruktionsresurserna i flera andra doktors- och licentiatavhandlingar.

Den här forskningsverksamheten har därtill banat väg för ett forskningssamarbete med andra forskningsgrupper. Institutionen för tillämpad elektronik i Lund har till exempel etablerat samarbete med Berkeley-universitetet och California Institute of Technology, båda i Kalifornien. Det hade knappast varit möjligt om man inte kunnat uppvisa en egen kompetens inom kiselkonstruktion.

Utan tvekan har dagens kiselteknik en enorm potential. Vad som behövs är system- och kretskonstruktörer som förstår att utnyttja den. Genom att satsa på kiselkonstruktion har högskolorna goda möjligheter att bedriva forskning och utbildning inom området. Men det räcker inte med att högskolorna slår sig till ro med det som finns idag. Det krävs en kontinuerlig satsning. Datorutrustningar blir snabbt omoderna och under den kommande treårsperioden måste högskolorna skaffa arbetsstationer och de måste få tillgång till kommersiell programvara – och här är drifts- och underhållskostnader ett problem. ■

CHRISTER SVENSSON
KJELL O JEPPSON

KISELMÄKLAREN NORCHIP

Norchip är en mäklarorganisation för prototypstillverkning av kiselkretsar. Norchips styrelse har en representant från varje nordiskt land och har sitt säte hos Nordforsk i Köpenhamn. Norchips praktiska arbete sköts av företaget Nordic VLSI A/S i Trondheim vilket innebär att det samlar ihop konstruktionerna, vilket för högskolornas del sker över datanätet, gör inspektion och sammanställning samt sköter administration och kontakter med leverantörer och

skriver avtal med dessa. Skivtillverkningen sker hos internationella leverantörer som f n VLSI Technology Inc (VTI) och Austrian Micro Systems (AMS). Den tillgängliga tekniken är CMOS-teknik med 2 eller 3 µm polygate och dubbla ledarlager i metall. Alltså ganska avancerad teknik. Nyheter från Norchip med status för pågående skivsatser och kommande sista datum distribueras varje månad i Norchip News. Här finns också transistorparametrar från de olika kör-

ningarna, uppmätta vid statens tekniska forskningscentral (VTT) i Helsingfors. Såväl företag som högskolor deltar i Norchip och får prototyper tillverkade. Små och medelstora företag erbjuds en mycket billig inkörsport till den nya kiseltekniken genom AMS' standardcellbibliotek och programvara (Super Sceptre Standard Cell Placement and Routing Environment). Denna programvara körs på PC och kostar ca 35 000 kronor för den första installationen.

ett cellbibliotek, för analoga kretsar innehållande OP, komparatorer, VCO m m. Egentligen avses här kretsmodeller för blocken, och användare arbetar mer renodlat med CAD, snarare än med kits och breadboarding.

Det andra konceptet, d v s förbearbetade kiselkivor där användaren endast definierar hopkopplingen av färdiga element, tillämpas av Telmos i deras Analog/digitala "ULA" TM 6001. CMOS-kretsen, ett s k "masterchip", innehåller förutom 32 OP, ett antal dioder, kondensatorer och transistorer även 300 grindar och diverse drivlogik.

De två huvudkoncepten, cellbibliotek i CAD-utrustning där tillverkare processar en hel konstruktion, eller förbearbetade "masterchips" har var för sig olika för- och nackdelar.

Ett "masterchip" får antas vara billigt eftersom det kan tillverkas i stora serier, och genomloppstiden för prototyper och produktion kan hållas nere, eftersom IC-tillverkaren ju bara förser kretsen med metallisering för förbindningen mellan olika kretselement. En nackdel med masterchipsen är att man vanligen endast kan utnyttja en del av chipet.

Vid användningen av cellbibliotek kan man däremot göra mera optimalt bruk av chipytan, men i stället blir genomloppstiden längre. Här är det ju frågan om att processa ett chip ända från början.

Ett par kommentarer kan vara på sin plats när det gäller analog semi-custom överhuvud taget:

- Tekniskt sett är det mycket svårt att kombinera många analoga funktioner på ett chip, åtminstone om man eftersträvar höga prestanda överlag. De celler som finns att tillgå är ofta av ganska ordinarie slag. Det är ju möjligheten att blanda IC-kretsar tillverkade i olika teknologier och processer som gör att diskreta lösningar eller hybridkretsar kan göras med "spetsprestanda".

- Oavsett vilken väg man går som användare av olika semicustomlösningar, är trots allt supporten från tillverkare kanske det viktigaste av allt. Om nu kretsen inte skulle fungera i första vändan, så är det nästan omöjligt för någon annan än IC-tillverkaren att t ex göra felanalyser på chip-nivå.

Semi-custom är en mycket fin användarvänlig metod att integrera mera, men tekniken är bara i sin linda, speciellt när det gäller analoga kretsar.

Minsta nyheten

I år kommer den allra sista nyheten från Philips. TDA 7010T, förpackad i en SO-kapsel med måtten ca 10x7 mm rymmer en hel FM-radio! Ett fåtal yttre komponenter, 2,8 V matning och man kan bygga in en radio i en penna! Fantastiskt.

Trevlig sommar!

Lars-Göran Lundblad

Halvledare:

Svensk satsning på LSI-teknik

Året har som vanligt bjudit på ökad integrering. ROM med Mbit kapacitet är en av nyheterna. Men för oss svenskar är nog den svenska satsningen inom halvledarområdet intressantare. BI a har Asea-Hafo startat ett Design Center i Californien och staten har satsat 700 miljoner på ett mikroelektronikprogram.

Inför den årliga uppdateringen är det dags att markera några nya punkter på Gordon Moore's utvecklingskurva. Och med NEC:s annonserade 1 Mbitars CMOS-ROM håller utvecklingen för fördubblad chipkapacitet för varje år. Denna höga packningstäthet har uppnåtts på en 7x7 mm² kiselbricka med transistorer med 1,8 µm kanallängd. Mycket plats har sparats genom att transistorerna ligger 8 och 8 i serie (à la relalogik) i stället för att vara parallellkopplade (à la NOR-logik) till jord. De insparade kontakthålen tjänar mycket yta men ger minnet längre access-tid – max 3 µs.

På den dynamiska RAM-minnessidan förbereds nu marknadsdebuten för 256 kbitars DRAM. Och det är snabba minnen – under 100 ns. På ISSCC -83 nyligen presenterade 5 företag intressanta konstruktioner med nya egenskaper som nibble mode och automatisk refresh.

En kraftfull nedskalning av MOS-tekniken har också lett till kompakta PROM, EPROM och EEPROM. Tio år efter introduktionen av det första 2 kbitars UV-raderbara EPROMet är det nu dags för 256 kbitars. 2 µm design-regler har klämt ihop minnescellen på 6x6 µm². Det är samma yta som ett kontakthål upptar i en standard 5 µm process!

80-talet har också inneburit att rampljusset riktats mot EEPROM-en efter 70-talets långa väntan på ett genombrott. Med den nya floating-gate tunneling-oxide tekniken har de stora företagens intresse vaknat och det EPROM-kompatibla 16 kbitarsminnet 2816 introducerats.

Utvecklingsarbetet på EEPROM går nu vidare, framför allt på att reducera matningsspänningarna till "5V only", men också på att ta fram större minnen.

Den aggressiva nedskalningen av komponentstorlekarna har utan tvekan givit minnesfabrikanterna en kraftfull teknologisk. Ett försök att konstruera egna minnen i standard 5 µm CMOS (metal gate eller ISO-CMOS) stannar vid 1 kbit statiska RAM.

Motsvarande utveckling på logiksidan får i denna Uppdatering representeras av HP. Det 32 bitars datorchip med 450 000 transistorer som presenterades av HP på ISSCC -81 ingår nu, tillsammans med de minneschips som presenterades förra året vid ISSCC -82, i ett kommersiellt tillgängligt datorsystem – HP 9000. Teknologin är en nedskalad NMOS-teknik – HMOS III med 1,5 µm kanallängd.

Konstruera själv i kisel

Utvecklingen inom halvledare och VLSI-teknik är nu emellertid mycket mer än giganternas kamp om mikrometrar. Det pågår också en mycket påtaglig attitydförändring till kiselkonstruktioner i och med att "den vanlige elektronikkonstruktören vid lödbanken" nu börjar få tillgång till kisel genom i första hand grindmatri-



ser (gate arrays) i halvfabrikat och standard-cell-konstruktioner från färdiga cellbibliotek. Lödkolven håller på att ersättas av datorterminalen. Den nya VLSI-tekniken öppnar nu möjligheter att integrera hela "system-on-a-chip" och svenska företag, som lever högt på sitt systemkunnande håller på att se om sina hus och skaffa sig ny kunskap. Attityderna har också nått teknologerna, som börjat ersätta lite av den gamla inställningen att "mikrodatorer kan vi köpa utifrån och sen programmera upp" med ett ökande intresse för halvledare och integrerade kretsar.

Nordiska teknologer, liksom forskare och företag, har också fått tillgång till kisel för egna full-custom konstruktioner på ett annat sätt än tidigare genom Norchip – eller Multi Project Chip. Det nordiska samarbetet kring Norchip är en samsamarbetsform som låter flera deltagare dela på de stora kostnaderna för maskframställning, och wafer-processing genom att flera integrerade kretsar delar på ytan på ett maxi-chip.

Norchip startade som ett pilotprojekt under 1982 med 12 deltagande högskolor och företag. Det finansieras av Nordisk Industrifond, STU och dess motsvarigheter i de nordiska grannländerna. Två multi-chip tillverkades då hos Asea-Hafo i deras pålitliga "work horse technology" metal gate CMOS. Under 1983 har antalet deltagare i projektet fördubblats och antalet körningar kommer också att öka kraftigt – framför allt med ISO-CMOS chip.

Det nordiska samarbetet, som nu är ganska starkt på högskole- och institutnivå inom VLSI, stöttas också av Nordisk Industrifond med ytterligare två projekt – utveckling och kunskapsspridning inom såväl CMOS-teknologi som Design för Testability.

Mikroelektronikprogram

I en bred svensk satsning föreslår nu också STU ett nationellt mikroelektronikprogram för att öka svensk komponenttillverkning. Programmet som är femårigt är uppdelat på fyra delprogram –

- kunskapsspridning
- grundforskningsprogram
- målinriktat forskningsprogram
- industriellt utvecklingsprogram/teknikupphandling

Den sammanlagda programkostnaden är knappt 700 miljoner och skulle innebära en ökning av det statliga tillskottet på 55 miljoner. Den stora nyheten är tillkomsten av ett industriellt utvecklingsprogram stöttat av statlig teknikupphandling. STU vill att svensk industris kompetens inom halvleder- och optoområdet snabbt ska byggas ut. Kostnaden för den delen av mikroelektronikprogrammet, 330 miljoner, skulle delas mellan stat och industrier.



Brickan vid pennspetsen innehåller 450 000 transistorer och är tillverkad av Hewlett Packard.

Inom detta program skulle rymmas utbyggnad av tillverkningsresurser för stora CMOS-kretsar, pilotlinje för höghastighetskretsar med en grindfördröjning <1 ns både för VLSI och GaAs, utveckling av kompilerande konstruktionssystem – s k silicon compilers, och utveckling av metoder för kvalitetsstyrning. Onekligen ett intressant program.

Expanderar

Svensk halvledarindustri består idag av Asea-Hafos och Rifas tillverkning av full custom integrerade kretsar och Aseas tyristortillverkning. Alla dessa företag förväntas naturligtvis spela en stor roll inom STUs mikroelektronikprogram. Redan i dag görs dock intressanta satsningar. Så invigde Asea-Hafo under året sitt nya CAD-center där kunderna kan hyra in sig under konstruktionsarbetet och t o m arbeta helt själva med Hafos välutvecklade CAD-system. Under 1983 kommer Asea-Hafo att marknadsföra hela sitt kompletta konstruktionssystem. En speciellt intressant satsning som Hafo gör är etablerandet av ytterligare ett CAD-Design Center i San Diego, Californien, under ledning av Ingemar Höglund. En viktig del av verksamheten i San Diego består därför

av försäljning av programvara och know-how för cellbaserad konstruktion.

Även på Rifa satsas det ordentligt och under det gångna året har man tagit hem en 3 μ m CMOS N-well teknik med dubbla polykiselledare genom licensavtal. Ett antal kundkretsar är redan under konstruktion och man satsar på en uppbyggnad av CAD-sidan för att kunna erbjuda en bred custom-service. På den bipolära sidan är verksamheten redan etablerad med både custom-kretsar och specialkretsar för telefon och industrielektronik. En ny bipolär Schottky-logik process lovar snabbhet upp till 50 MHz.

Att Norden finns med på VLSI-kartan kommer också att markeras till sommaren när konferensen VLSI -83 går av stapeln i Trondheim 16–19 augusti. Väl mött!

Kjell O Jeppson

**UPP
DATERING
1983**

aktuell elektronik

NUMMER 6 ● APRIL 1982 ● SVERIGES ELEKTROINGENJÖRERS EGEN TIDNING

SIND-rapport:

Televerket spindeln i nätet!

SIND tycker att modem ska få byggas in i datakommunikationsutrustning samtidigt som provningen föreslås bli opartisk.

Statens industriverk (SIND) presenterade i mitten av mars den femte delrapporten om svensk elektronikindustris utvecklingsmöjligheter. Ämnet den här gången är kommunikationselektronik.

Rapporten upprepar den gamla sanningen att televerkets regler, policy och ambitioner är av central betydelse för den övriga kommunikationsindustrins utveckling. Vidare förutspås en fortsatt expansiv utveckling för svensk terminalindustri, utifrån de tendenser som finns till en ökad användning av distribuerad databehandling.

Inom telekommunikationsindustrin minskar där emot sysselsättningen på grund av att elektroniska televäxlar tas i bruk.

Av nödvändighet blir det Ericsson-koncernen som det mesta handlar om. Företaget har ju utan tvekan en monopolställning i Sverige, sida vid sida med televerket.

Det som förvånar en aning är att man i rapporten understryker två saker som ofta

debatterats den senaste tiden i massmedia, modem och provning av datakommunikationsutrustning.

I rapporten understryks att tillåtelse att bygga in modem i datautrustning stimulerar förnyelse inom terminalindustrin och ötkar användarens möjligheter att välja olika typer av utrustning.

SIND-rapporten anser också att provning av datakommunikationsutrustning bör ske opartiskt. Samtidigt säger SIND att televerket i ett flertal avseenden anpassar sig till de krav som ställs av leverantörerna och användarna.

Vad SIND nu säger är till en del vad Leverantörsföreningen Kontors- och Datautrustning (LKD) sagt de senaste åren. LKD vill dessutom att televerkets monopol på att sälja teletextutrustning hävs. Televerket har sagt att LKD's medlemmar efter en provperiod ska få komma in på teletextnätet.

LEIF LAGEBRAND

12 nordiska högskolor i IC-samarbete

Ett mycket intressant nordiskt samarbete håller på att växa fram när det gäller konstruktion av integrerade kretsar. Det är nordisk industrifond som beslutat satsa på ett antal projekt för att sprida kunskap om konstruktion av integrerade kretsar och för att utveckla morgondagens teknologier och konstruktionsprinciper.

Det projekt som har flest deltagare – inte mindre än tolv tekniska högskolor och elektronikföretag – är ett s k MPC-projekt (Multi Project Chip) efter amerikansk förebild. Initiativtagare är lektor *Ole Olesen* vid Danmarks Tekniska Högskola och universitetslektor *Christer Svensson* vid Linköpings Tekniska Högskola. Projektet går ut på att om flera konstruktörer av integrerade kretsar går samman och lägger alla prototyperna på samma bricka – chip – blir kostnaden för var och en överkomlig.

Det hela bygger på professor *Carver Meads* (California Institute of Technology) idé att man genom att fastställa några få generella konstruktionsregler kan skilja på konstruktion och tillverkning av integrerade kretsar. För dessa ideer och sitt sätt att sprida intresset för konstruktion av LSI-kretsar belönades Carver Mead och *Lynn Conway* i oktober av tidningen *Electronics* "Technology Achievement Award". För att på ett liknande sätt sprida tekniken till företag och högskolor i Norden har Nordisk industrifond beslutat att under 1982, tillsammans med olika nationella fonder, betala tillverkningen av fyra sådana Multi Project Chips. Deadline för den första konstruktionen var den 15 februari då magnetband med informationen om de olika kretsarna skickades till **SI, Sentralinstitutet för Industriell forskning** i Oslo som är koordinator. Inte mindre än tio av de tolv deltagarna i projektet deltar med sammanlagt 24 kretsar på denna bricka som är 1 cm². Kretsarna är konstruerade i metal-gate CMOS-teknik och ska nu tillverkas på **Asea-Hafo**. Varje deltagare har använt de konstruktionshjälpmedel som

133 LSI-chips på ett substrat

Ett 28-lagers substrat, stort som en handflata med 1 800 ben och 130 meter interna ledare, rymmer 133 LSI-chips och har samma datakraft som en IBM 370/145.

För att få ut ännu bättre prestanda ur sin största dator 3081, har IBM tagit fram ett nytt uppbyggnadssystem, där varje substrat har ungefär storleken av en handflata. Varje sådan modul som kallas TCM (Thermal Conduction Module), innehåller ett keramiskt flerlayersubstrat med plats för upp till 133 stycken kristaller, som i detta fall innehåller logik- och minnesmatriser. Substratet byggs in i en heliumfylld hermetiskt slutet kammare.

Substratet har 28 lager med tillsammans 130 meter hårtunna förbindningar. Den höga packningstätheten nedbringar fördröjningstiden mellan komponenterna och resulterar i högre datahanteringshastighet.

Varje matrischip kan innehålla upp till 704 logikkretsar och har grindfördröjningar på ungefär 1 ns. Totalt innehåller substratet omkring 10 000 TTL-logikkretsar och 300 000 minnesbitar. Mer än 10 000 "flip-chip" förbindningar ansluter kristallerna till substratet. I botten på substratet finns 1 800 anslutningsben, som ansluter modulen till ett kretskort. En hel dator 3081 modell grupp K kan innehålla 4 kretskort, där varje kort innehåller 6 eller 9 TCM, beroende på systemkonfigurationen. En TCM modul kan innehålla datakraft, som motsvarar en system 370 Modell 148.

Under drift kan en TCM modul avge en effekt på upp till 300 W. För att kyla bort denna effekt, använder man ett sofistikerat system med vattenkylning på systemnivå och helium på substratnivå. Däremellan finns det värmeväxlare.

De minnesmatriser som ingår i systemet har genom ny teknologi förbättrade prestanda. Varje minnesmatris innehåller 3 000 bitar och har en åtkomsttid av 10,5 ns.

Substrat som rymmer 133 LSI-kretsar, för IBMs Modell 3081 grupp K processor. Substratet är 90 mm i fyrkant och 5 mm tjockt.



Forts fr. sid 43

lokalt finns tillgängliga – allt från kommersiella konstruktionshjälpmedel av typen CALMA och Computervision till egenutvecklade hjälpmedel på i vissa fall så enkla hjälpmedel som en vanlig bordsdator. Olika översättarprogram har sedan skrivits för att kunna översätta alla konstruktionerna till Asea-Hafos kod. En mycket intressant möjlighet till att sprida kretsbibliotek och annan erfarenhet mellan deltagarna öppnas här. Deltagarna på den första konstruktionen är bl a följande tekniska högskolor: KTH, Chalmers, Lund, Linköping och DTH i Danmark, Tekniska forskningscentralen VTT i Helsingfors och finska Lohja, Sentralinstitutet i Oslo och A/S Christian Rovsing i Köpenhamn. Ytterligare tre MPC-kretsar kommer att tillverkas under året. Nästa körning blir en isoplanar CMOS-process och tillverkare blir då Hughes i Skottland. Senare kommer ytterligare körning på Asea-Hafo.

Det är ett mycket billigt sätt att framställa prototyper och svenska företag som är intresserade att få en konstruktion provad på detta sätt bör passa på tillfället. Det bästa sättet är att ta kontakt med närmaste tekniska högskola. Till nästa år hoppas vi kunna utvidga samarbetet med ytterligare tre företag från varje land och också kunna göra fler körningar under hela året. De flesta tekniska högskolor kommer också med kurser i LSI-konstruktion och det finns ju här möjlighet att göra realistisk undervisning när kretsarna verkligen tillverkas. Här finns plats för idérika teknologer och kanske nya groddföretag från högskolorna.

KJELL O JEPPSON

CAD-träff i Linköping

Den 9 . . . 10 mars träffades företrädare för industrin, universiteten och de tekniska högskolorna i Linköping för att på ett informellt sätt utbyta åsikter och idéer inom CAD-elektronikområdet genom CAD-Träff 82. Dessa CAD-Träffar stöds av Sveriges Mekanförbund under ledning av Göran Östlund. CAD-Träffen avses bli en årlig träff, omväxlande i Linköping och Stockholm, de två högskolor där STU idag stöder forskning inom CAD-elektronikområdet.

CAD-Träffen inleddes med ett antal översiktsföredrag där bl a Göran Östlund redogjorde för Mekans roll för CAD-elektronikgruppen, Claes Blohm från Saab-Scania redogjorde för CAD-80-projektet och Eskil Kjelkerud talade om Asea-Hafos satsning på ett LSI Design Center där olika företag kan få hyra in sig och själva konstruera integrerade kretsar. Man kan antingen hyra ett rum på Hafo eller jobba hemifrån via terminal som är ansluten till Hafos datorer. Start blir till hösten. Christer Svensson från LiTH talade sedan om det nordiska MPC-samarbetet (Multi Project Chip) där den första konstruktionen med tio olika deltagare från hela Norden, nu är klar att tillverkas på Asea-Hafo. (Se notis härintill). CAD-träffens deltagare delades sedan upp i mindre grupper med olika intresseinriktningar: Arkitektur och beskrivningsspråk, konstruktionsverifiering och test, realisering av kretsar samt utrustningar och system för CAD.

CAD-Träffen rundades av med att STUs Sven Ingmar Ragnarsson redogjorde för STUs satsning på CAD och konstruktion av integrerade kretsar inom ramprogrammet för elektronisk och elektrooptisk komponentteknologi. De tekniska högskolorna i Sverige avslutade sedan genom att redogöra för sina olika projekt inom CAD-området.

För den som är intresserad av att få aktuell information kan nämnas att Mekanförbundet ger ut en informationsskrift "CAD-elektronik" ett par gånger om året. Redaktörer är Stig Lorentzi, KTH och Mikael Pääbo, LiTH. Den utsänds idag till ca 150 personer och kan erhållas kostnadsfritt. Kontakta Göran Östlund (08-63 50 20).

KJELL O JEPPSON

Vardag för danska konstruktörer

Norchip, eller det nordiska samarbetet kring Multi-Project Chip (MPC), är en teknik som tillåter flera deltagare att dela kostnaderna för maskframställning och wafer-processing, genom att låta flera integrerade kretsar dela på ett chip. Avsikten är att ge nordiska företag tillgång till en teknik som gör dem konkurrenskraftiga mot de internationella storföretagen. Norchip är ett svar på den utmaning som VLSI-tekniken innebär för nordisk elektronikindustri.

Norchip är ett pilotprojekt under 1982, som finansieras av Nordisk Industrifond samt STU och dess motsvarighet i de andra nordiska länderna. Två av fyra planerade Norchip har tillverkats och det tredje är under sammanställning på Sentralinstitutet för industriell forskning i Oslo, dit de olika deltagarna skickar sina maskdata. Tekniken är både metal-gate CMOS från Asea-Hafo och poly-gate ISO-CMOS från Hughes i Skottland.

I ett steg mot att göra Norchip till en permanent institution, med regelbunden (månatlig) service, vänder sig nu projektledningen med Nordforsk i spetsen, till nordisk elektronikindustri med en broschyr: Norchip – The Nordic countries on one chip! Genom att stötta projektet får deltagarna tillgång till den teknik där morgondagens elektronik kommer att konstrueras.

Aktiva danskar

Perspektivet är onekligen lockande – för en inträdesbiljett i storleksordningen 10 . . . 40 000 SKr kan man alltså få ett antal prototyper av en integrerad krets man själv konstruerat. För en full-custom-krets hos en halvledartillverkare får man räkna med cirka 1 miljon kronor plus order på en viss minsta serie på kanske 5000 kretsar.

Under 1982 är det huvudsakligen högskoleinstitutioner och forskningsinstitut som dragit nytta av Norchip genom att konstruera egna kretsar. För att projektet ska få full genomslagskraft krävs dock större industriell anslutning, så att tekniken kan spridas och ge kommersiella tillämpningar.

Det företag som hittills dragit mest nytta av Norchip är Christian Rovsing A/S i Köpenhamn. Christian Rovsing har ca 900 anställda och tillverkar minidatorsystem (CR-80) för kommunikations- och

Intresset för det nordiska samarbetet kring Multi Project Chip, har varit ganska matt från svensk elektronikindustri. I våra grannländer har intresset varit större. På Christian Rovsing A/S i Köpenhamn är Multi Project Chip en del av det dagliga arbetet.

övervakningssystem. För två år sedan startade man en designavdelning för konstruktion av integrerade kretsar. Den består idag av tre man och arbetar i nära samarbete med Danmarks Tekniska Högskola. Bl a använder man det interaktiva, grafiska ComputerVision systemet för layout som finns på DTH.

– Vi har tre huvudsakliga arbetsområden, berättar tekn lic Erik Bruun som är chef för gruppen, och som nyligen tilldelades det danska elektropriset för sina insatser inom LSI-design.

– Det första är standardiserade IC-kretsar i CMOS-teknik, för dataöverföring i processtyrningsutrustning. Vår första full-custom krets med ca 10 000 transistorer, beräknas också marknadsföras som en standardkrets i första kvartalet 1983. Eventuellt vill också amerikanska tillverkare marknadsföra den på licens. Vi har planlagt en större serie av standardkretsar inom detta området, varav de första tre är specificerade och beräknas introduceras under 1983–84.

Vårt andra område är ett semicustom designsystem som kallas Silicon Circuit Board (SCB). Det är ett system av väldefinierade CMOS-byggblock som motsvarar standard TTL- och CMOS-grindar fortsätter Erik Bruun. Layout görs på samma sätt som kretskortslayout. Vi räknar med att marknadsföra SCB under 1983, och att utveckla det med ett mikrodatorbaserat design-system med program för logiksimulering och layout.

Till sist har vi också en custom design service där vi konstruerar kretsar åt andra kunder. Det gäller främst kretsar som inte passar i SCB eller gate-array-teknik som t ex analoga kretslösningar.

– Hittills har vi konstruerat sex kretsar som provats i MPC-teknik, berättar Hans Helwigh, systemingenjör i gruppen. Av dessa är fem huvudsakligen analoga

konstruktioner som ska provas med tanke på att sedan ingå i konstruktioner till andra kunder.

– Den sjätte konstruktionen är för eget bruk och där provas också SCB-tekniken, avslöjar Hans Helwigh. Hittills har vi bara fått tillbaka och kunnat testa en krets. Det visar sig att de analoga tillämpningarna är svårast, vi har haft vissa problem med operationsförstärkarna.

Orsaken till att vi använder MPC är att vi kan prova ut speciella delkretsar. Vi kan också få prototyper och mindre serier billigare än i full-custom eller semi-custom, utan att vi behöver binda oss för någon produktionsvolym.

Stor nytta av Norchip

Gate-arrays kan kanske göras billigare, men där krävs återigen ofta en produktionsvolym. Dessutom är de flesta av våra kretsar analoga eller innehåller andra kopplingar, som inte kan göras i gate-array-teknik. För företag som vill börja att konstruera själv är MPC en bra väg, tycker Hans Helwigh.

– Den krets vi konstruerat för Norchip nr 2, och som tillverkas av Hughes Microelectronics i Skottland, är beräknad att användas i vår produktion på Christian Rovsing. Visar det sig att behovet överstiger ca 1000 kretsar per år, görs det förmodligen ett nytt maskset för denna krets, berättar Hans Helwigh vidare. I så fall ska kretsen tillverkas hos Hughes som vi redan tidigare samarbetat med.

Denna krets, som i komplexitet motsvarar 40 . . . 50 SSI-MSI TTL-kretsar, tog 14 dagar att konstruera från diagram till färdig layout. Vi har då använt vårt SCB-bibliotek. Det grundas på erfarenheterna från tidigare kretsar, som visade att konstruktionerna blir allt för tidskrävande om man arbetar med flip-flops som största celler.

Inför nästa år hoppas vi på fler körningar, så att vårt konstruktionsarbete kan göras mer flexibelt och löpa mer kontinuerligt. För tillfället är vi nöjda med silicon-gate CMOS på grund av dess låga strömförbrukning, stora packningstäthet och möjlighet att realisera analoga funktioner.

– Med nya konstruktionsuppgifter kommer vi också att vara intresserade av andra kiselteknologier, avslutar Hans Helwigh.

Kjell O Jeppson

CAD för VLSI:

Svårt administrera VLSI

Fortfarande görs VLSI-kretsar för hand. Det pekar på att dagens CAD-hjälpmiddel inte riktigt räcker till. Kanske är begränsningen för VLSI inte produktionen utan konstruktionen. Motorolas 68000 och Intels 8086 visar att månårsinsatsen ökar drastiskt. Men det finns hopp. De senaste rönen inom CAD-tekniken bådargott. Elteknik sammanfattar marknadens produkter.

Komplexiteten hos de mest avancerade kretsarna har de senaste 20 åren fördubblats varje år enligt Gordon Moores första lag. Genom elektronstrålelitografi och plasmaetsning med hög kantskärpa är vi idag på väg mot VLSI där varje kiselbricka är ett helt elektroniskt system med 100 000-tals komponenter.

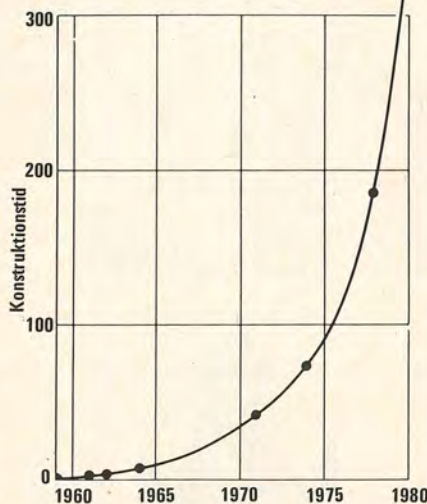
Hur kan vi då utnyttja den kraftfulla teknologi som VLSI-tekniken ställer till vårt förfogande? I det sammanhanget är Moores andra iakttagelse intressant – antalet mantimmar för konstruktion och layout av en kiselkrets växer också exponentiellt med komplexiteten! Utan bättre konstruktionshjälpmedel får vi se i månen efter VLSI-kretsar, se figur 1. Undersökningar visar att en konstruktör hinner med 10–15 transistorer om dagen. Motorolas mikrodator 68000 tog 52 månår att konstruera medan Intels 8086 tog 13 månår bara för layouten!

En bra bild av komplexiteten hos en VLSI-krets fås om man tar en krets från 1970 och förstorar upp den till en mer "männlig" nivå. Då var linjebredd 10 μm . Om vi förstorar upp linjebredd till en ritning med 5 mm breda linjer motsvarar det ett $2 \times 2 \text{ m}^2$ papper. En fullt tänkbar VLSI-krets med submikron linjebredd skulle då täcka en hel fotbollsplan. Man kan riktigt se de vilda bataljerna när konstruktörerna kryper omkring med penna och linjal över fotbollsplanen!

Hierarki

Helt naturligt måste konstruktionen organiseras hierarkiskt och brytas ner i så små delar att konstruktörerna får överblick av de olika blocken. Flera olika konstruktörer kan då arbeta med var sin bit. En strukturerad konstruktionsmetod måste användas så att konstruktionstiden helst växer långsammare än linjärt med komplexiteten.

Ett annat intressant problem är förbindningarnas tidskonstanter och deras begränsningar på kretsens prestanda. Medan transistorparametrar går bra att skala ner – snabbheten ökar och effektförbrukningen minskar när geometrierna minskar – går inte förbindningarna att skala. Redan idag är RC-tidskonstanterna de som egentligen begränsar kretsarnas prestanda. Förbindningarna i en VLSI-krets blir mer problematiska än för LSI. Meads iakttagelse att i en VLSI-krets är transistorerna billiga och ledningarna dyra bör leda till nya konstruktionsmetoder i framtiden.



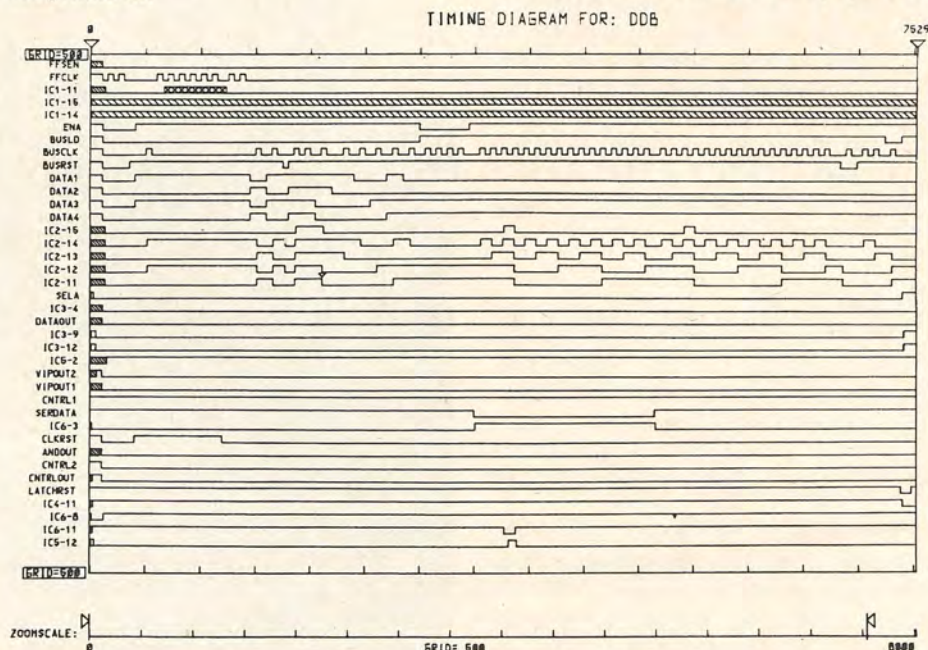
Figur 1. Utan bättre CAD-hjälpmiddel får vi se i månen efter VLSI-kretsar eftersom konstruktionstiden växer exponentiellt med komplexiteten.

Konstruktionen måste angripas uppifrån och ner – Top-Down – så att man så tidigt som möjligt får en uppfattning om brickstorlek och ledningslängder så att olika block från början kan optimeras. Denna metod används t ex i Digital Equipments Chip Assembler. Det är ett forskningsprojekt för framtida VLSI-CAD där all kommunikation mellan olika konstruktörer och olika simuleringsprogram går via en planlösning av kiselbrickan. Denna konstruktionsmetodik utgår alltså från ledningsdragningen och fyller på med komponenter efteråt.

Ett intressant hierarkiskt CAD-program presenterades på konferensen VLSI-81. Programmet undersökte alla kompositioner av olika grundceller och sorterade ut alla unika cellkombinationer och filtrerade bort all redundans. Ett betydligt reducerat geometriskt mönster gav en enorm tidsvinst vid kontrollen av layout-regler.

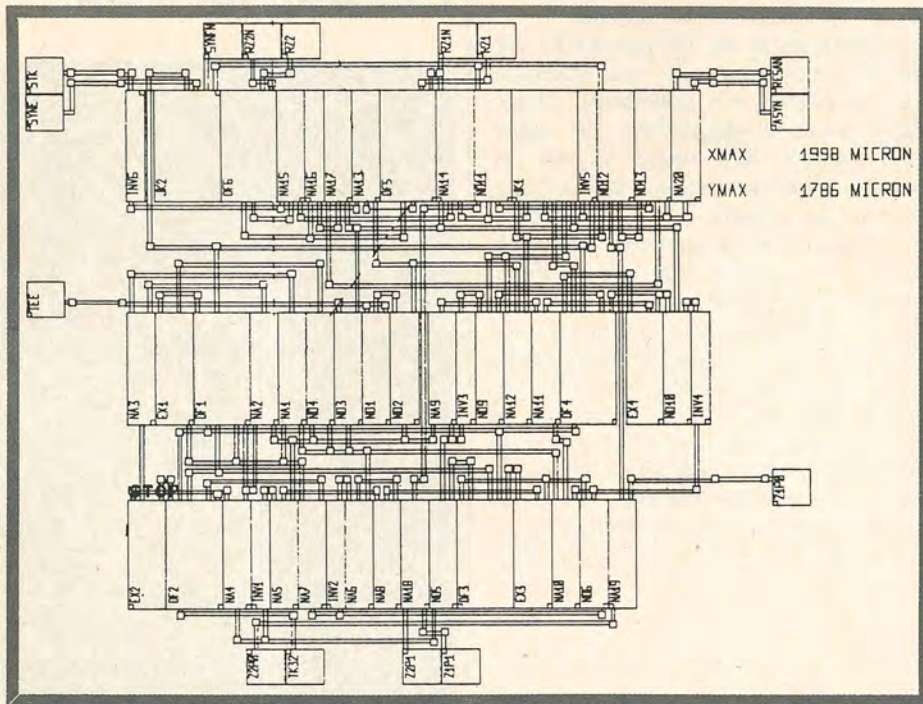
CAD för VLSI

Nyckeln till framgång vid konstruktion av VLSI-kretsar ligger i att administrera komplexa kretsar, Complexity Management. För att klara detta behöver vi datorhjälpmedel, CAD. Automatisk layout, Design Automation, däremot är nog bara en dröm – DA bör stå för hjälpmedel



Figur 2. En tidssimulering gjord med programmet DIGSIM.

komplexa kretsar



Figur 3. Figuren visar resultatet av standardcell-metoden där ett CAD-program gör en automatisk placering av cellerna.

Design Aids! Eftersom IC design är en konst tills det blir en vetenskap kan inte automatiska dataprogram ersätta människan som konstruktör.

Viktiga krav på ett CAD-hjälpmiddel är att det ska kunna hantera en konstruktion på flera olika nivåer. En konstruktion existerar aldrig på enbart en nivå. Layouten är inte nödvändigtvis den lägsta nivån i hierarkin utan en annan viktig beskrivning av konstruktionen som existerar parallellt med funktion och logik. CAD-hjälpmidlet måste vara interaktivt, styrs med en dialog mellan dator och användare, via både grafik och text. Det bör också kunna optimeras efter olika kriterier och vara teknologirelaterat. Helst bör det också utbilda konstruktören i konstruktion (i motsats till SPICE säger elaka tungor) och vara intuitivt för konstruktören. CAD-hjälpmidlet bör alltså anpassa sig till konstruktören så att konstruktören förstår vad CAD-hjälpmidlet gör. Eftersom CAD är ett verktyg bör konstruktören själv vara med och göra sina verktyg. Man bör alltså se CAD för VLSI som en verktygslåda hellre än som ett konstruktionssystem. Ett intressant CAD-hjälpmiddel som följer många av dessa principer är Digital Equipments Chip Assembler.

Konstruktion av integrerade kretsar är idag förvånansvärt manuell. Handritade layouter digitaliseras för lagring av kretsdata i en dator med plotter och grafik. De

vanligaste "nyckelfärdiga" CAD-hjälpmidlen av denna typ är Calma, Applicon och Computervision. De används för grafisk editering av layout, konstruktionsregelkontroll och konstruktionsverifiering. I ett totalt CAD-system för VLSI-konstruktion kan en sådan arbetsstation endast ingå som en liten del.

Blandade simulatorer

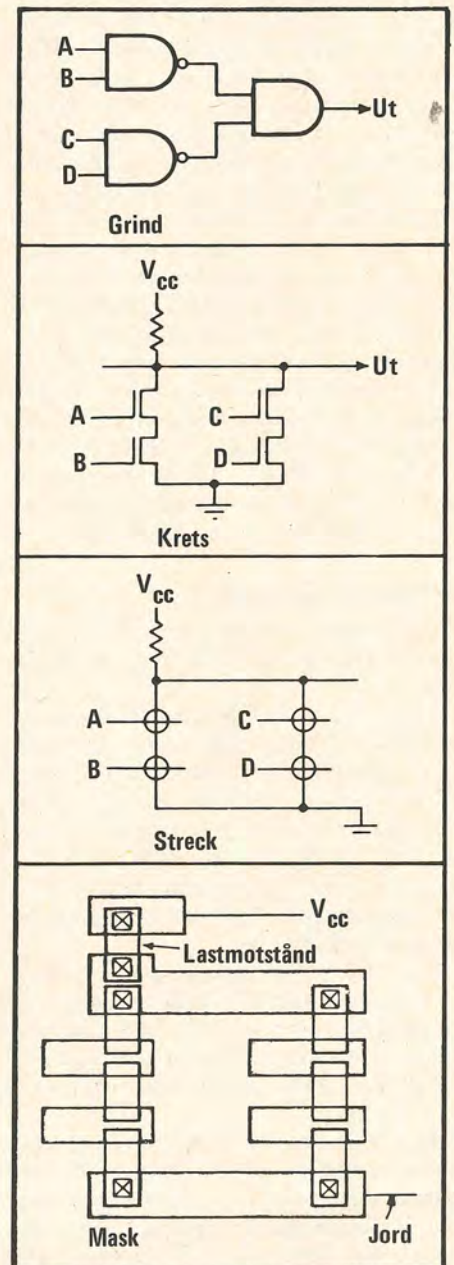
Bättre utvecklade än layout-hjälpmidlen är olika simulatorer. Det finns simulatorer för krets-, logik- och funktions- och processimulering. Mest använd är kretsimulering och ett mycket spritt program är SPICE (Simulation Program with Integrated Circuit Emphasis) som är utvecklat vid Berkeleyuniversitetet. Kretsimulering används bara på rimligt stora kretsar på några tiotal till några hundratal transistorer eftersom simuleringstiden växer snabbt med antalet kretselement. En ny version av SPICE inriktad på VLSI uppges vara under utveckling på Berkeley.

Även logiksimulatorer för digitala system på grindnivå är väl utvecklade. Bara de senaste åren har ett halvt dussin logiksimulatorer utvecklats med inriktning på LSI/VLSI. Många simulatorer är då också blandade simulatorer så att kritiska delar kan simuleras på en nivå (t ex kretsnivå) medan mindre kritiska delar kan simuleras på tids- eller logiknivå för att göra simuleringen snabbare. I en tidssimulator är endast en mindre del av en digital krets aktiv vid en viss tidpunkt och mycket enklare modeller kan användas. Si-

muleringsprogram på denna nivå är MOTIS-C och SPLICE från Berkeley och DIANA från Leuven. Vi har också en logiksimulator utvecklad i Linköping kallad DIGSIM. En timingsimulering från DIGSIM visas i figur 2.

Funktionell simulering sker på datorarkitekturnivå och med registeröverföringsspråk (RTL). Många språk och program på denna nivå används dock inte i högre grad eftersom de ofta är ganska svåra att lära sig.

Arbeten med processimulering har ganska nyligen påbörjats. Det mest använda processimuleringsprogrammet är



Figur 4. En logisk cell representerad på fyra olika nivåer - grind-, transistor-, streck- och masknivå.

SUPREM (SUPREM = Stanford University Process Engineering Models) utvecklats på Stanforduniversitetet. Allt eftersom mer komplexa halvledarprocesser har tagits i bruk har detta verktyg blivit mer använt och värderat.

Kiselkompilator

En konstruktion genomgår många olika faser på flera abstraktionsnivåer. Beteendet specificeras på systemnivå, funktionen på grindnivå och den fysikaliska layouten på kiselnivå. I början av konstruktionen är beteendet den väsentliga informationen och allt eftersom konstruktionen fortgår tillförs den en allt mer detaljerad struktur. De flesta CAD-verktyg förlitar sig på ganska detaljerad information om konstruktionens struktur. Vid en viss tidpunkt kan olika delar av konstruktionen befinna sig på olika abstraktionsnivåer vilket gör det önskvärt att kunna simulera konstruktionen på dessa flera olika nivåer. Arbeten med strukturella beskrivningsspråk som ska knyta ihop de olika nivåerna pågår på t ex Stanford (SDL) Berkeley (BLT) och Leuven (MDL).

En kiselkompilator är ett CAD-verktyg som tar konstruktionen direkt från en beteendespecifikation till en kisel-layout. Huruvida en kiselkompilator är möjlig att optimera utom för vissa specialfall kan diskuteras. Ett lovande embryo till kiselkompilator är Bristle-blocken från Caltech. I dagens system följer alla kretslösningar samma mönster med en horisontell datapassage med färdiga register/ALU-celler som direkt kan passas ihop och vertikala styrledningar styrda av ett PLA. Grundcellerna för RALU lagras i komprimerad form och kan sedan automatiskt töjas för att passa till ett ledningsmönster med horisontella och vertikala ledare.

Symbolisk layout

Enligt professor deMan i Leuven kan layout av kiselkretsar delas in i tre olika typer:

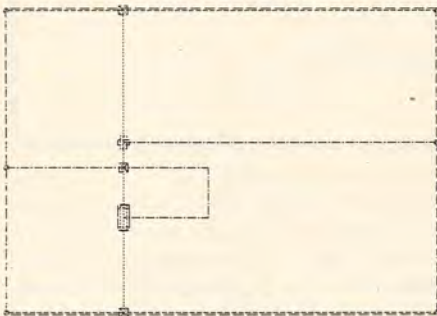
Typ 1 är den traditionella, slumpmässiga MOS LSI-typen. Layoutens enda mål är att spara kiselnya. Metoden har flera kritiska moment som vid manuell överföring till geometrisk layout från kretsschema och vid digitalisering av det geometriska mönstret. CAD-hjälpmiddel behövs för konstruktionsregelkontroll och konstruktionsverifiering.

Typ 2 är den strukturerade metoden eller metoden med regelbundna cellmatriser som beskrivits av Mead och Conway och som används i större mikroprocessorer (68000, 8086 osv). Denna metod har flera fördelar.

Typ 3 är den välkända standard-cellmetoden med standardceller som alla har samma dimension i en riktning och där alla förbindningar är genomgående och passar ihop med grancellerna på två eller tre sidor. CAD-program gör sedan en automatisk placering (automatic-placing-and-routing). I Leuven har man utvecklat

två sådana program - CALMOS och CALMP med automatisk förbindning på en eller två sidor. Det finns även andra sådana program, se figur 3.

En mycket attraktiv metod att skapa grundceller är symbolisk layout med hjälp av streckdiagram (sticks). En logisk cell representerad på grind-, transistor-, streck- och masknivå visas i figur 4. Ett streckdiagram är ett till pennstreck förenklat maskschema som visar transistors, ledningars och kontaktors relativa läge i de olika masklagren. Ett sådant streckdiagram kan matas in via en interaktiv grafisk terminal. Med en uppsättning layoutregler (konstruktionsregler) skapar CAD-programmet en masklayout. Ett program minskar cellen till minimal storlek enligt layoutreglerna genom vertikal resp horisontell komprimering. Ett sådant program Cabbage (Computer Aided Building Block Artwork Generator and Editor) har utvecklats på Berkeley och vidareutvecklats i Leuven. En komprimerad strecklayout visas i figur 5. I Leuven har Cabbage, Diana och Calmp integrerats till ett system så att



Figur 5. En strecklayout komprimerad till masknivå med Cabbage.

Cabbage genererar även datafiler till Diana (eller Spice).

Nya CAD-verktyg

Forskning och utveckling på symbolisk layout pågår för närvarande på olika ställen. Bl a kommer det ett kommersiellt program från Calma. En stor fördel är att layouten är obunden av layoutregler, ändringar i kontakthålens storlek eller oproportionell skalning av reglerna kan snabbt göras och en ny mask genereras av CAD-programmet. Kretsdata lagras alltså på en högre nivå, transistornivå istället för rektangelnivå, vilket är smidigare för kretssimulering och konstruktionsverifikation.

Digital Equipment har en omfattande katalog över CAD-hjälpmiddel tillgängliga på VAX-maskiner. Den innehåller inte bara egna program utan även sådana som tredje part utvecklat. De flesta program som nämnts i denna artikel är uppräknade, liksom layoutprogrammet Gaelic som utvecklats i Skottland, och som i Storbritannien kan utnyttjas av alla universitet genom Science and Research Councils stora satsning på LSI-teknik.

Kjell O Jeppson

VLSI

Litografi för VLSI:



Litografi betyder stentryck. En vanlig metod är att kontaktkopiera en fotografisk film på kiselnya. VLSI kräver modernare metoder som t ex optisk projektion av hela skivan. Det ger dålig passning mellan masklagren. Bättre är att teckna ett chip i taget på skivan. Exponeringstekniken styr från UV-ljus till röntgen- och elektronstrålar.

Förutsättningen för VLSI-kretsar med 100 000-tals komponenter på en kiselbricka är den snabba utvecklingen inom den mikrolitografiska tekniken. Det traditionella sättet att överföra kretsmönstret till kiselnya är att kontaktkopiera en fotografisk plåt mot kiselnya som är belagd med ett ljuskänsligt skikt av fotoresist. Vid belysning polymeriseras resisten (vid negativ resist) så att bara obelyst resist försvinner vid framkallningen. Fotoresisten används sedan som mask då mönstret etsas ut i det underliggande skiktet som kan vara isolatorskiktet kisel-dioxid eller något av ledarskikten polykisel eller me-

Kurs i Sverige:

VLSI med datorstöd

VLSI utan datorer är en omöjlighet. I Linköping hölls nyligen en kurs som behandlade datorstödda metoder för konstruktion i VLSI. Eltekniks fackredaktör i mikroelektronik, Kjell Jeppson, var en av deltagarna.

De flesta vet säkert idag att CAD står för *Computer Aided Design* och VLSI för *Very Large Scale Integrated Circuits*. VLSI-tekniken innebär att kiselkretsar med 100 000-tals transistorer kommer att konstrueras under de kommande åren. Datorhjälpmedel blir helt nödvändiga för att kunna konstruera kretsarna. Den 5... 11 juli arrangerades en CAD och VLSI-kurs vid Tekniska Högskolan i Linköping.

Syftet med kursen var att informera och utbilda om lämplig teknik, metoder och CAD-hjälpmedel för att konstruera på kiselnivå. Kursen riktade sig till skandinaviska elektronikkonstruktörer, deras chefer och forskare. Den arrangerades av LSI Design Centret och Digsim-gruppen vid högskolan.

Kursen samlade ett sjuttioal deltagare varav 60 % från industrin och 40 % från högskolor och forskningsinstitut. Ungefär hälften av deltagarna kom från Sverige.

VLSI-kurs

Kursen omfattade ca 15 föredrag där industrifolk och forskare presenterade strategier och system som redan är i drift. Föredragen behandlade också planerade och pågående forskning om datorstödd VLSI-konstruktion. En intressant anmärkning är att samtliga föredragshållare hade Teknisk doktorsexamen.

Sammanfattat behandlade kursen fysikaliska begränsningar på bric knivå, sambandet mellan arkitektur och bric disposition, beskrivning och verifiering av digitala konstruktioner, konstruktionsmetoder för bättre testbarhet samt utformning av CAD-hjälpmedel för VLSI-konstruktion.

En stor fördel var att vi som deltog i kursen fick möjlighet att arbeta vid grafiska terminaler även om det ibland blev under ganska sena timmar. Följande CAD-program fanns tillgängliga – Spice, Splice, Nap2, Digsim, Cass, Diana, Calmp, Cabbage, Gaelic, Isps, Ddl, Digpas och Aiedes. Noteras bör att Nap2, Cass, Aiedes, Digsim och Digpas är utvecklade i Skandinavien.

”Vi är mycket nöjda med kursen”, sä-



Den belgiske forskaren Hugo de Man demonstrerar ett programsystem för utveckling och simulering av VLSI-kretsar.

ger en av initiativtagarna, Bengt Magnhagen. ”Vi har haft fint stöd från olika företag, liksom från STU och dess norska motsvarighet NTNF. Det är vår ambition att återkomma med fler liknande kurser!”

Intressanta föredrag

Kursen inleddes av professor Gerald Musgrave från Brunel University i England som gav en introduktion till användningen av CAD-hjälpmedel. Han menade att ett viktigt krav på CAD-hjälpmedel är att de verkligen hjälper konstruktören att fatta beslut under konstruktionsfasen.

Konstruktionstiden för en ny produkt räknas från specifikation till test av färdiga prototyper. Den är idag mellan 2 år – för konsumentvaror – och 10 år – för militära projekt. Det är ganska långa tider när prestanda hos tillgänglig teknologi fördubblas varje år. Här bör CAD-verktygen komma in och förkorta processen. Det viktiga är då att CAD-verktygen är optimerade på en tillräckligt hög nivå för att verkligen ge en ekonomisk vinst. En enkät nyligen bland elektronikföretag in-

om EG om CAD-hjälpmedel visade att mycket få företag kunde kvantifiera sådana besparingar. Japanska företag kunde dock lämna bättre besked på den punkten.

Ny strategi behövs

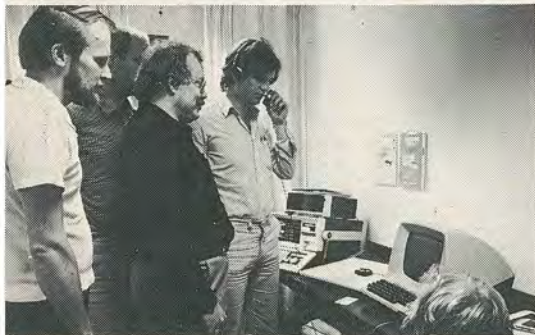
Dr Michael Monachino från IBM illustrerade hur det stora företaget med mycket datakraft bakom sig kan utnyttja de nya möjligheterna med CAD och VLSI. Han visade på en helt ny konstruktionsstrategi som var nödvändig för att ta fram en ny stordator med 750 000 logiska kretsar. Ett arbete som tog 7 år. Effektiva datorhjälpmedel blir oundgängliga – att avlusa konstruktionsfel i hårdvaruprototyper skulle innebära att maskinen förmodligen aldrig skulle bli klar. Den nya metoden med Design Verification uppskattas ha sparat 66 % av tiden jämfört med konventionell teknik.

Under det första året ägnade man sig enbart åt datorsimuleringar och utbildning på de nya CAD-hjälpmedlen. Bl a omskolades 50 elektronikingenjörer till den nya tekniken med datorsimuleringar på hög systemnivå. Amerikanen visade också på problemen att övertyga företagsledningen om att man var på rätt väg. 250 man var sysselsatta men någon prototyp började inte byggas förrän på ett

ganska sent stadium. Men med datorsimuleringarna knäcktes 84 % av alla funktionella problem och 100 % av alla tidsberoende fel. Målet för nästa projekt blir att ta 98 % av alla fel med CAD-hjälpmiddel.

En dag värd 30 k\$

En representant från Wang Laboratories höll föredraget "An industrial VLSI De-



Röstinmatning provades också på kursen.

sign Strategy". Det behandlade hur den nya VLSI-tekniken kommer att påverka företaget för att kunna hålla och helst öka marknadsandelen. Wang tillverkar ju kontorsdatorsystem – ett område där konstruktionsfasen inte får ta längre tid än högst 2 år. Ett halvårs försprång före konkurrenterna kan innebära att hela utvecklingskostnaden tjänas in under den tiden. Annorlunda uttryckt innebär det att varje dags försprång med att få ut en ny produkt på marknaden innebär en extra vinst på 30 000 dollar! VLSI-tekniken kommer att innebära bättre produktivitet och tillförlitlighet. Den ger dessutom

prestanda och kostnads fördelar. Men tekniken blir på ett sätt mindre flexibel och det blir inte längre möjligt att testa "breadboardade" prototyper. Den mest betydelsefulla "råvaran" är konstruktören och det gäller nu att förse dem med de bästa CAD-verktygen. Wang kommer att skaffa 4... 5 programpaket och lika många VAX-datorer för att klara den delen. Företaget kommer att satsa på egna konstruktioner på kiselnivå och satsar då på "semicustom" där konstruktörerna får arbeta med ett givet cellbibliotek. För att försäkra sig om säker leverans av kretsar kommer företaget att bli sin egen "second source". Det är ett viktigt steg med tanke på den tidsskala man arbetar inom. Wang har hittills tecknat licensavtal om att sätta upp två egna kiselprocesser, bl a CMOS.

1 dator på 20 man

Föredraget "VLSI Structured Design Methodology and Tools" handlade om Digital Equipments inriktning på VLSI. Deras satsning är hittills inriktad på utbildning av konstruktörer som kan greppa steget mellan datorarkitektur och bricklayout. Utbildningen är baserad på universitetens erfarenhet från Multiproject Chip (MPC). Överhuvudtaget har DEC ett mycket stort utbyte med universiteten, framför allt Berkeley, på området. Som exempel på en strukturerad bricka som företaget utformat visades en Floating-Point Processor med 77 000 transistorer. Dr Hanover redovisade också de datorhjälpmedel man utvecklat.

Kretsarna är konstruerade med en ge-

mensam databas för logik-, krets- och layoutdata, CHAS – Chip Assembler. Han visade också de datoriserade arbetsplatserna för konstruktörerna. De arbetar med VAX 11/780 datorer och man räknar fullt utbyggt med att använda 12 maskiner, vilket motsvarar 1 maskin på 20 konstruktörer.

En forskare från Belgien talade om "Computer Aided Design Techniques for VLSI". Han demonstrerade ett programsystem för utveckling och simulering av VLSI-kretsar. Systemet omfattar Cabbage för grafisk layout från enkla streckdiagram ("sticks"). Det lägger också upp datafiler för vidare simulering med Diana (eller Spice). Diana är ett "mixed mode" simuleringsprogram för krets-, tids- och logiksimulering. Systemet omfattar också Calmp för automatisk placering och förbindning av standardceller.

Mikrodatorer

Ett föredrag hette "Architecture Principles for VLSI". Det illustrerade den utveckling som sker inom området konstruktion av LSI-kretsar med utvecklingen inom mikrodatorområdet. Liknande tänkesätt är nödvändiga om vi ska kunna greppa VLSI.

Intels 8080 från 1974 har 4 500 transistorer och 8086 från 1978 har 29 000 transistorer, se bild. 8080 har en ganska ostrukturerad layout, bortsett från register och minnen. Det beror på att kontroll-logiken är konstruerad på grindnivå direkt från flödesschemat. Lösningen ger i allmänhet den minsta ytan men till ganska hög kostnad – ändringar i konstruktionen

Nordiskt samarbete i kretskonstruktion

VLSI-tekniken ställer nya krav på kunnande hos konstruktörerna. Utbildningsbehovet i Norden kan täckas med ett "Multi project chip". En teknik där flera intressenter delar kostnaden för en gemensam krets.

Vid CAD och VLSI-kursen nyligen i Linköping diskuterades planerna på ett nordiskt Multiproject Chip (MPC). MPC-kretsar har tidigare beskrivits i Elteknik (81/2) som en "revolution" i utbildningen av konstruktörer av integrerade kretsar. Den snabba teknologiska utvecklingen inom LSI- och VLSI-tekniken innebär ett nytt stort utbildningsbehov för nordisk elektronikindustri. En kommitté bildades med Dr Ole Olesen vid Danmarks Tekniska Högskola som ordförande för att få finansiellt stöd till projektet. Fyra samnordiska integrerade kretsar om året är

planerade där flera olika projekt med högskoleforskare, elektronikindustrier och teknologer ska kunna deltaga.

Idén med MPC kommer från Caltech – California Institute of Technology där professor Carver Mead är verksam. Genom att flera projekt går samman och delar kostnaderna för en gemensam krets blir det möjligt att i forsknings- och utvecklingssyfte beställa provserier av kretsar hos kommersiella tillverkare. Den nya VLSI-tekniken kommer att ställa helt nya krav på system- och kretskonstruktörer. De kan inte längre vira ihop prototyper på kretskort med mindre integrerade kretsar, SSI och MSI. För högskolor och universitet med begränsade eller obefintliga resurser för egen kretstillverkning blir ett samgående helt nödvändigt.

I USA fungerar detta samarbete utmärkt. De första MPC-kretsarna gjordes under ledning av Carver Mead som ett led i forskningen på nya datorarkitekturer på Caltech och av Lynn Conway från Xerox PARC på MIT – Massachusetts Institu-

te of Technology. De har också givit ut en bok "Introduction to VLSI Systems" som redan blivit "klassisk".

Sedan starten har MPC-projektet, som stöds av Department of Defense, vuxit till att omfatta ett trettiotal universitet. Kretsarna konstrueras på de olika universiteterna efter ett antal ganska universella layout-regler. Tekniken forskarna använder är NMOS med polykiselstyre. Ganska avancerade kretsar har konstruerats med i många fall ytterst begränsade datorhjälpmedel genom en strukturerad konstruktionsfilosofi. Kretslayouterna läggs upp på datafiler i det gemensamma CIF – Caltech Intermediate Form. Filerna överförs sedan via Darpa-nätet (Defense Advanced Research Project Agency) till en gemensam datorcentral. Masker och kretsar tillverkas kommersiellt och kapslade kretsar skickas sedan till universiteterna för testning.

Även i Norden har en del MPC-kretsar konstruerats. Mikrovågsinstitutet vid KTH i Stockholm har just levererat

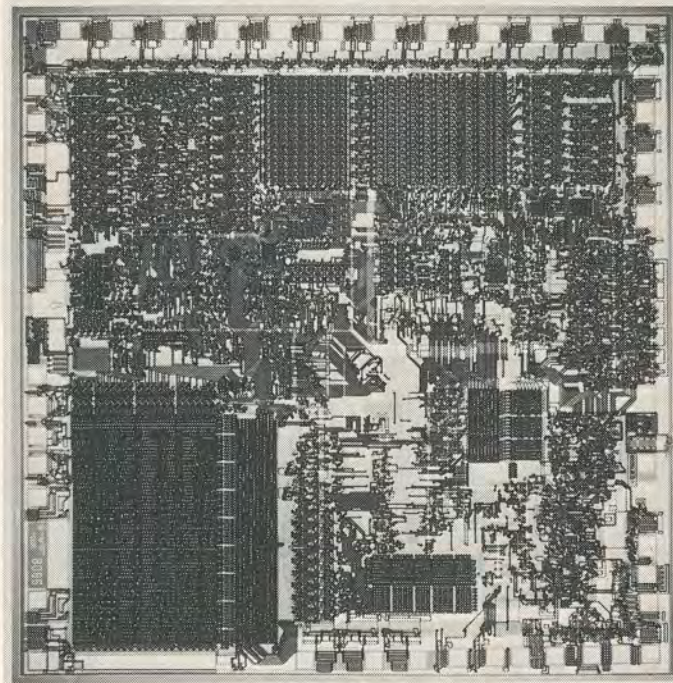
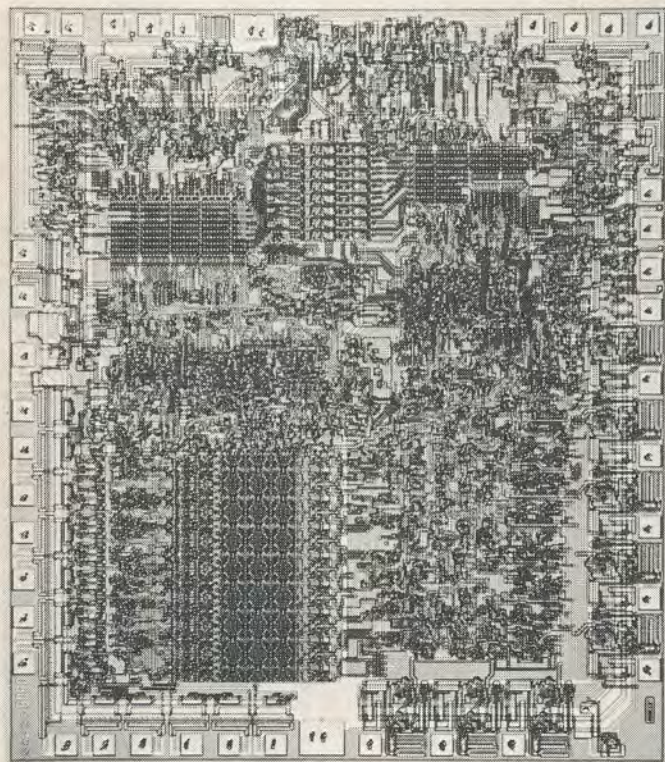
kräver total nykonstruktion. 8086 är betydligt mer strukturerad. Gränsen mellan dataflödet (RAM, register, ALU) nedtill på bilden och kontrolllogiken syns tydligt. Kontrolldelen är relativt välstrukturerad med ROM och PLA. Layouten är mer kostnadseffektiv men tar upp större kisel-yta, bl a flera tomma fläckar med bara ledningar.

Kursen innehöll ytterligare nio föredrag. "Structured Design Methodology", "VLSI-Physics" och "Databases for CAD" är några intressanta titlar. "Design for Testability" behandlade kraven för att kunna testa VLSI-kretsar efter tillverkning. Det är inte bara frågan om att kunna konstruera snabbt och effektivt! Tom Williams gav en mycket klar presen-

tation över användbara metoder, t ex Level sensitive scan design och Scan path. IBM-medarbetaren fick också pris för bästa föredrag.

Det samlade kursmaterialet finns att köpa från Linköpings Tekniska Högskola, kontakta Bengt Magnhagen eller Mikael Pääbo.

Kjell Jeppson



Intels 8080 t v har ganska ostrukturerad layout och 4 500 transistorer. Den yngre 8086 har 29 000 transistorer.

maskunderlag till sin andra krets. Den konstruerades under deras kurs i "Konstruktion av Integrerade kretsar" med deltagare från svensk elektronikindustri. Teknologin är CMOS med metallstyre. Kretsarna tillverkas av Asea-Hafo som har mångårig erfarenhet av kundanpassning i denna teknologi. Konstruktionerna har gjorts med egenutvecklade CAD-hjälpmedel.

Även det nystartade LSI-Design Centret vid Linköpings Tekniska Högskola har just levererat maskunderlag till sitt första MPC. Det är också en CMOS-krets som Asea-Hafo kommer att tillverka. Kretsen är konstruerad i rent forskningssyfte för högskolan men även FOA-3 och Chalmers i Göteborg har deltagit med var sin krets. De flesta kretsarna bygger på det bibliotek av logiska celler som lagts upp på Linköpings DEC-10. Datorhjälpmedlen är dock ganska begränsade idag. Det finns ett program som plottar de olika masklagren som kodats i CIF och det finns även en "parser" som kontrollerar att kretsdatafilens syntax är korrekt. Det finns också möjlighet till kretsimuleringar i Spice 2 och Digsim. Ändå

har ganska komplexa kretsar konstruerats – de 12 olika delkretsarna täcker en yta på 1 cm².

Våra nordiska grannländer

I Norge har en MPC-krets konstruerats vid Oslo universitet, Sentral Institutt for industriell forskning, ELAB i Trondheim och Elektrisk Byrå A/S. Vem som ska tillverka kretsen är dock ännu inte bestämt. Som datorhjälpmedel har man haft tillgång till ett Calma-system. Kretsteknologin är NMOS.

I Finland gav Tekniska Forskningscentrat vid Helsingfors Tekniska Högskola en MPC-kurs i juni. Ett antal mindre CMOS-kretsar konstruerades manuellt och arbetet fullföljes med CAD från Computervision. Även i Danmark finns Computervisions CAD-hjälpmedel men man har ännu inte konstruerat någon MPC-krets annat än i "gate-array-teknik".

Fördelarna med ett gemensamt MPC-projekt i Norden är många. För det första är det viktigaste kravet på ett MPC-projekt att omloppstiden är kort från konstruktion till kapslad krets under testning.

Målet kommer att uppnås med fyra fasta körningarom året. Var för sig är varje högskoleinstitution för liten, men med ett samgående blir underlaget tillräckligt. Högskoleinstitutionerna får också en större kontaktyta och en effektiv samlad kontakt mot halvledartillverkarna. Det ger också bättre möjlighet att sprida teknologin t ex genom gemensamma datorprogram, cellbibliotek osv. Det är helt enkelt nödvändigt att samla resurserna för att hänga med i den snabba teknologiska utvecklingen.

Nordisk elektronikindustri borde också vara mycket intresserade av projektet. Mycket snart kommer man att vara i stort behov av LSI- och VLSI-tekniken för att försvara sina marknadspositioner. Tar man inte tag i tekniken kommer man att hamna i svårigheter. Ett stort antal konstruktörer som kan tekniken kommer snart att behövas. Ett sätt att utbilda konstruktörerna är genom att deltaga på dessa MPC-kretsar. För att få igång ett samordiskt Multiproject Chip kommer kommittén därför att ansöka hos Nordisk Industrifond för att köra ett pilotprojekt med fyra MPC-kretsar nästa år. *Kjell Jeppson*

MPC, the Multiproject chip: Revolutionerar utbildningen av IC-tekniker

The multiproject chip (MPC) innebär att teknologerna själva får konstruera integrerade kretsar. I nybörjarkurserna är dessa kretsar ganska enkla men som examensarbete eller doktorandprojekt kan de få avsevärd komplexitet. Detta är verklig "learning by doing".

Genom att alla studentprojekt läggs in på samma chip delas kostnaderna så att projekten blir ekonomiskt genomförbara. Kostnaderna blir ännu lägre om flera universitet deltar med var sitt MPC på samma wafer. Tillverkaren processar ändå "batchar" om 20–25 wafers så det blir tillräckligt med chips. Den delade kostnaden gör det möjligt att köpa chips från kommersiella tillverkare som har processlinjer gående vilket de flesta universitet inte kan ha på de höga kapitalkostnaderna.

Idén med multiproject chips kommer från Caltech (California Institute of Technology), där Carver Mead är professor i Computer Science, Electrical Engineering and Applied Physics. Han var från början halvledartekniker men har mer och mer intresserat sig för hur man ska kunna utnyttja dagens och morgondagens höga packningstäthet på en integrerad krets för att integrera ett helt system på ett chip.

Ger självförtroende

– Att föra även en liten kretskonstruktion från idé och enkel skiss till färdig, fungerande krets ger praktisk erfarenhet och självförtroende nog att ge sig på större konstruktioner, säger Carver Mead. Det är ett viktigt sätt att föra ut IC-tekniken och få konstruktörer som kan utnyttja den nya tekniken. Att vi står inför en helt ny utvecklingsfas brukar markeras med begreppet VLSI – Very Large Scale Integration. Det markerar inte bara en ständigt ökande packningstäthet utan framför allt att det nu blir möjligt att integrera ett helt system-on-a-chip. Vid slutet av 80-talet kommer det att vara möjligt att tillverka kretsar med flera miljoner komponenter. Varje komponent kommer att vara mindre än det synliga ljusets våglängd! VLSI-tekniken är en utmaning inte bara för processteknikerna utan också för datorarkitekterna.

Det är dessa datorkonstruktörers och systemteknikers önskan att testa nya konstruktionsprinciper som har drivit

"Learning by doing". Det är filosofin för en helt ny metod att utbilda IC-tekniker. Studenterna får konstruera sina egna IC som sedan verkligen tillverkas hos någon halvledarindustri. För att få rimliga kostnader läggs flera studentprojekt på samma chip.

Metoden, som spritts som en löpeld över världen, har nu också nått Sverige. För första gången integreras kunskapen vertikalt "top down". Samma kurs spänner från halvledarfysik till komplex datorarkitektur. "Bibeln" heter "Introduction to VLSI systems" av Carver Mead och Lynn Conway. Här kommenteras filosofin och boken av ETs fackredaktör Kjell O Jeppson, universitetslektor vid CTH med fasta tillståndets elektronfysik som specialitet.

fram the multiproject chip. Under slutet av 70-talet har Caltech tillsammans med halvledarindustrin, och Xerox PARC (Palo Alto Research Center) och med stöd från amerikanska försvaret (DARPA – Defense Advanced Research Projects Agency) byggt upp en organisation för att hantera multiproject chips.

Standard NMOS

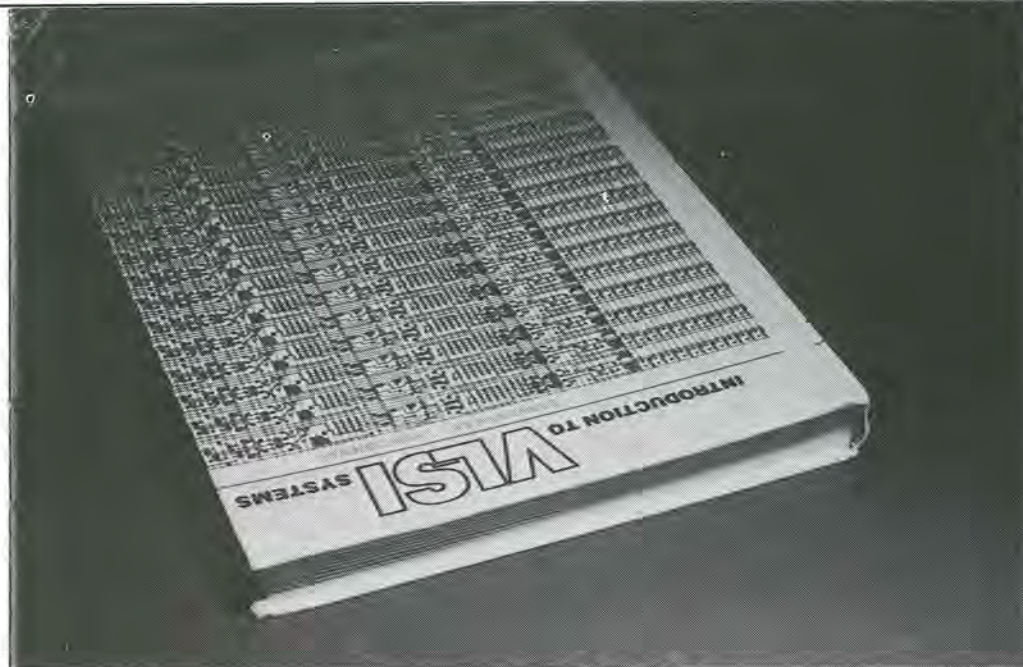
En systemkonstruktör som försöker få grepp om IC-tekniken möter många hinder. Varje tillverkare har sina regler och specialiteter, man kan säga att det har vuxit upp olika IC-kulturer inom olika företag. Det beror på att IC-teknologin har utvecklats i en miljö av hård konkurrens där varje detalj kan vara avgörande för företagets framtid. På Caltech har man sammanställt ett antal mycket enkla layoutregler som gör teknologin tillgänglig för vem som helst – samtidigt som processhemligheter bevaras. Layoutreglerna är universella och oberoende av vilken linjebredd som är aktuell för dagen. De flesta kommande nedskalningar av kretsparametrar är förutsedda.

Den standardprocess man valt är NMOS med polykisel-styren.

Ledningsdragning i både polykisel och metall ger ypperliga möjligheter till smarta välordnade kretslösningar som kan extrapoleras till VLSI. En annan framtids-teknologi är CMOS med kiselstyren. Den teknologin kan ju på sin effektsnålhet med fördel extrapoleras mot VLSI. Asea-Häfa här i Sverige håller ju på att köra in sin CMOS/SOS som också är en teknologi man är mycket intresserad av på Caltech.

På Caltech har man också tagit fram en del enkla datorhjälpmedel för kretskonstruktionen, framför allt ett gemensamt språk att beskriva kretsarnas olika masklager. Detta språk kallas CIF – Caltech Intermediate Form. I detta språk lagras kretsdata som rektanglar, polygoner och ledningar. Varje student matar in sina data på en datafil och sedan överförs alla projektens data via det gemensamma datanätet ARPANET till en centraldator för sammanställning till multiproject chips. Här sorteras också data om till mönster-generatorkod. Här kan då också de olika kretstillverkarnas egna små recepthemligheter läggas in så att man kompenserar för olika processteg som underets osv. Detta märker aldrig studenterna av, när de får kretsarna ser de precis ut som de ritat dem.

Denna övergripande datorroll har hittills skötts av Xerox PARC men tas nu över av universiteten genom Information Science Institute i Marina del Rey. Här får man perfekta arbetsförhållanden med underbar utsikt över "småbåtshamnen"



(Marina view, full carpeting and beautiful secretaries, som en avundsjuk forskare uttryckte saken i sitt gamla slitna arbetsrum.)

Fantasieggande bok!

Arbetet med multiproject chips har pågått några år i USA men har under 1980 fått närmast magisk klang, inte minst i Sverige. Ganska många amerikanska universitet deltar nu i projektet. Under 1980 kom också Craver Mead och Lynn Conway ut med boken "Introduction to VLSI system" där bl a multiproject chip idén finns beskriven. Lynn Conway är verksam som manager inom LSI systems area på Xerox PARC. Hon gav en MPC kurs på MIT under hösten 1978, det sista elddopet innan boken gavs ut. (Från denna kurs finns också hennes mycket noggranna och personliga föreläsninganteckningar.) "Introduction to VLSI Systems" är en fantasieggande bok som öppnar nya intressanta tankebanor som leder in i VLSI-teknikens oändliga möjligheter. Visst kan man invända mot vissa avsnitt i boken men det är den första boken i sitt slag som "integrerar vertikalt" hela vägen från halvledarfysiken ända upp till arkitekturen hos snabba effektiva datorsystem. Top - Down! Ännu ett modebegrepp som är perfekt exemplifierat i denna bok. Genom att servera oss lagom mycket information från varje trappsteg kan vi klättra tillsammans med författarna från MOS-transistors grunder via kretsar, tillverkningsteknologi, layout, logisk design till systemarkitektur. Först när man kan spänna något sånär över hela området kan man rätt utnyttja den nya VLSI-teknikens möjligheter.

Boken innehåller 9 kapitel där de fyra första handlar om MOS-teknik och multiproject chips. Här finns också CIF - Caltech Intermediate Form dokumenterad. Bokens andra hälft innehåller systemarkitektur och en hel del nya konstruktionsmetoder som provats i datorsystemet Our Machine (OM) på Caltech. Mycket av bokens innehåll är aldrig tidigare publicerat.

Array Logik

Datorkonstruktörer konstruerar i allmänhet ganska välstrukturerade system med algoritmer som minimerar antalet logiska grindar. Den filosofin grundas på att grindarna är dyra och ledningsdragningen billig. Ofta konstrueras en integrerad krets på samma sätt. Ett antal logiska standardceller lagras i ett cellbibliotek och kretsen byggs upp med dessa celler. Ett datorprogram gör automatiskt förbindelserna mellan cellerna och lägger ut konstruktionen som en färdig layout. Antalet grindar är minimerat men den totala layouten är långt ifrån optimerad med en topologi där ledningsdragningen kanske tar mer kisel-yta i anspråk än grindarna. På kisel-ytan är i princip ledningsdragningen dyrare än grindarna ty ledningsdragningen "uträttar ju inget".

Olika metoder att optimera den totala layouten är författarnas huvudintresse och de uppehåller sig mycket vid olika metoder att övergå från s k random logik till välordnad array logik. Ordning och repeterbarhet kommer att bli en nödvändighet för att kunna hantera framtidens komplexa VLSI-kretsar. Det ger också snabbare och effektsnålare system.

Multiproject chips i Sverige?

Denna typ av praktisk undervisning i integrerad kretsteknik har helt naturligt rönt stort intresse i Sverige, från högskolorna, vår tillverkningsindustri (Asea-Hafo, Rifa) och vår systemindustri (LME, Saab). Det ligger i tiden, STU tredubblar sin satsning på IC-teknik, Asea-Hafo och Rifa kör in nya processer och LME satsar stort på ett nytt design center och konkurrensen har hårdnat om de få som är utbildade inom området.

I Sverige blir KTH först med att ge en kurs för industri- och högskolefolk där ett multiproject chip ska tillverkas på Asea-Hafo. På KTH har tillämpad elektronik tillsammans med Mikrovågsinstitutet fått stora STU-pengar för att satsa på forskning inom VLSI-området, främst teknologi och CAD-hjälpmedel.

Även på LiTH i Linköping har man fått STU-pengar till ett VLSI-center med forskning på datorstödd konstruktion av datorsystem on a chip. Här kommer man också att tillverka ett multiproject chip på Asea-Hafo under våren men det blir internt för forskningen på högskolan. Chalmers Tekniska Högskola i Göteborg kommer att deltaga på detta chip.

På CTH finns sedan flera år utbildning i LSI-teknik i olika kurser som utvecklats ur de MOS- och halvledarminneskurser som gavs för industrin i början på 70-talet när tekniken var ny. Denna utbildning ges nu också på LiTH. Men tillgång till datorhjälpmedel och möjlighet att realisera sina kretsidéer öppnar helt nya möjligheter och arbetsfält.

Samtliga högskolor är naturligtvis mycket intresserade av denna undervisningsform. Förutsättningen är någon form av resurssnålt samarbete med någon gemensam datororganisation à la ISI i USA. Tillverkningen måste också gå smidigt, samtidigt som kursen går, så att teknologerna inte hinner sluta eller vara fullt selsatta med andra kurser när chipen kommer tillbaka. Framför allt måste nog multiproject chips inriktas på examensarbeten och doktorand- och andra forskningsprojekt. IC-tillverkarna i Sverige är naturligtvis också intresserade både av att utbilda folk för anställning och att utbilda kunderna för att öka sin tillverkning av Custom Designed Circuits (skraddarsydda kretsar).

Ett annat skäl som gör det viktigt för oss i Sverige att utbilda oss och skaffa egna resurser är att de kanske inte alltid kommer att vara tillgängliga för oss utifrån i den utsträckning vi behöver. Som exempel kan nämnas att CIFs dataprogram som i våras var fullt tillgängligt från Caltech nu är spärrat. Projektet som är försvarsfinansierat (DARPA) hemligstämplades då i försvars- och konkurrenssyfte. Nato arrangerade också en VLSI-kurs i Belgien i somras men Lynn Conway fick inte komma och föreläsa.

Kjell O Jeppson