

## Lovande teknik

En av de mest spännande utvecklingarna inom analog IC-teknik, utgörs av kombinationen av ordentliga effektransistorer och konventionell planarteknik på ett och samma chip.

National gick i bräschen med att presentera LM196, en justerbar IOA monolitisk spänningsregulator. Nu spinner både Motorola och Texas vidare på samma tema, om än med olika ansatser.

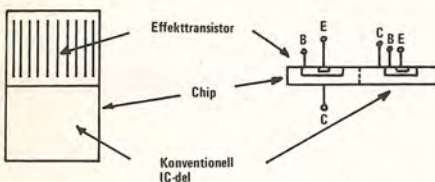
Motorola satsar på en process med en vertikal, pnp-effekttransistor, med både CMOS och laterala npn-småsignaltransistorer på ett gemensamt chip. Kollektoranslutningen hos effekttransistorn sker i "botten" dvs på undersidan av chipet, en lösning liknande Nationals.

Detta arrangemang utnyttjar chipytan bättre, eftersom stora strömmar går "rakt igenom" chipet, som principiell illustration.

Texas har gått en liten annorlunda väg genom att satsa på en kombination av bipolärt, CMOS och effekttransistor av DMOS-typ, en process benämnd BIF-FET. Här kommer man inte riktigt lika långt effektmässigt (Motorola talar om 250 W) men man vinner i spänningstålighet, 200 V ligger inom räckhåll.

Både Texas och Motorola (liksom National) tillämpar tekniken först på spänningsregulatorer, men här öppnar sig naturligtvis många intressanta möjligheter.

Drivkretsar av olika slag för reläer och motorer t ex (om ännu enklare, komplementär teknik, har ännu inte aviserats) kan nu nå upp i höga effektklasser. BIF-FET-tekniken kan kanske resultera i switchregulatorer, med kontrollkrets och effektswitch på samma chip. Utvecklingsriktningarna är många, och nya oväntade effektfunktioner kommer säkerligen att kunna monolitiserats framöver.



Principen för en effekt-IC enligt Motorola och National. Texas använder DMOS-teknik i effekttransistorn.

## Press-stop

Så här inför den lata sommaren, anländer så detaljerade uppgifter om AMD's en-chipsmodem, AM7910. Nu kan modemtillverkarna ta det extra lugnt på semester. Allt finns på chipet, inklusive filtrering. Genom pinselektion kan man välja mellan CCITT V21 och V23 eller motsvarande amerikanska normer. Allt blir superenkelt. Fantastiskt!

Lars-Göran Lundblad

## Halvledare:

# Snart kommer 256 kbitars DRAM!

**Dynamiska RAM, 64 kbitars DRAM, har fått sitt genombrott. Nu väntar marknaden på 256 kbitars, kanske redan i år.**

**Åtminstone i provform. EEPROM har gått mot en ny vår — de stora tillverkarna har nämligen börjat intressera sig för de elektriskt ändringsbara minnena.**

Gordon Moore från Intel gjorde en gång den välkända prognosen att komplexiteten hos MOS-minnen skulle fördubblas varje år. De många konstruktionssvårigheterna med 64 kbitars dynamiska RAM (DRAM) tycks ha brutit denna prognos. Problemen har gällt steget från tre till en matningsspänning: +5 V och störcänsligheten mot  $\alpha$ -strålning från kapselmaterialet när minnescellernas storlek skalas ner för mycket. Under det senaste året har dock försäljningen av 64-kbitars DRAM skjutit fart. Tillverkarna har fått grepp på processerna och priset har redan gått ner kraftigt. En del tillverkare är nu så säkra att man börjar släppa datablad på nästa generation 256 kbitars.

Inom halvledarindustrin har man planerat att elektronikindustrin ska börja köpa 256 kbitars omkring 1985. Men kanske är dessa minnen här tidigare än man räknat med. Både Hitachi och Motorola annonserar nu att man ska leverera samples under senhösten 1982 eller i början av 83. Att forskningen på nästa generation 256 kbitars minnen är på gång det vet vi — prototyper har presenterats på ISSCC (International Solid State Circuits Conference) både förra året och i år. (Se ET 8/81 och 5/82)

## Nya material

Det har experimenterats en hel del med processtekniken för att få snabba kretsar och ett högt tillverkningsutbyte. För högre snabbhet provar man andra ledarmaterial än polykisel för bitledningarna — olika silicider med de värmetåliga metallerna molybden, tantal platina och titan. Bitledningarna är numera också i allmänhet

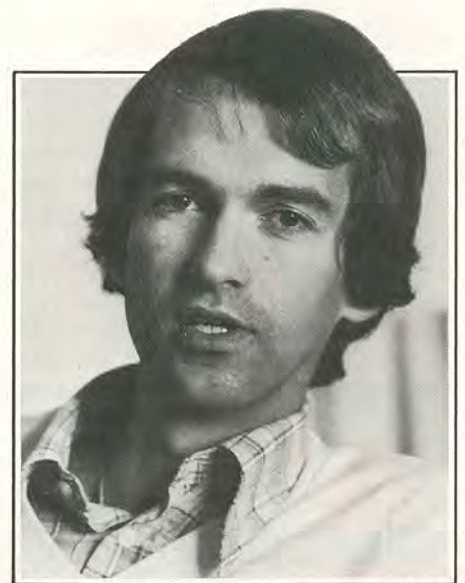
dubbelvikta till samma minneshalva för att minska störcänsligheten mot  $\alpha$ -partiklar.

För att höja tillverkningsutbytet har man också börjat försöka minnena med redundanta rader och kolumner med minnesceller. Skulle någon av de ordinarie cellerna inte fungera kan de redundanta cellerna plockas in i stället. Denna programmering sker med laser — man bränner av små länkar i polykisel eller metall.

En annan mycket snygg metod att programmera in redundanta minnesceller utan att skada kretsen används av Hitachi. Den vanliga metoden där man blåser av en länk med laser gör också ett hål i kretsens skyddsglasskikt. Hitachi använder istället laserkontrollerad diffusion av störrämnen för att kortsluta en polykristallin kiselledare. Denna är från början intrinsisk med mycket dålig ledningsförmåga men omgiven av högdopade kontakter. Vid laseruppvärmningen diffunderar dessa störrämnen in i den intrinsiska ledaren och kortsluter denna utan att isolatorkiktet skadas, som framgår av bild 2.

## EEPROM i rampluset

Under det gångna året har de elektriskt ändringsbara, icke-flyktiga minnena EEPROM åter hamnat i rampluset. Där

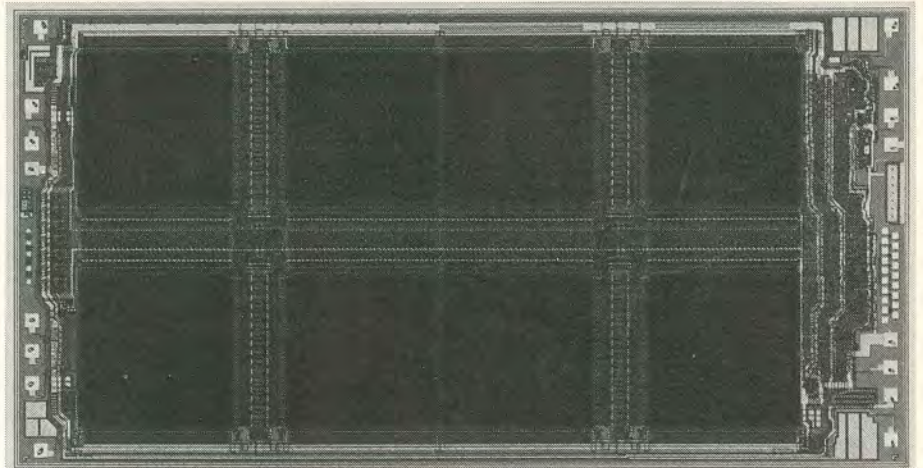


har de varit många gånger förut utan att helt slå igenom men denna gång bör chanserna för ett genombrott vara större. Denna gången har nämligen de stora tillverkarna Intel, National, Motorola och Fairchild blandat sig i leken.

EEPROM är elektriskt rader- och programmerbara läsminnen, som håller sin information i årtal utan matningsspänning. Minnena brukar gå åt omprogrammera 10 000 . . . 100 000 gånger innan de är utslitna. De ersätter EPROM, som är betydligt omständigare att radera (med UV-ljus).

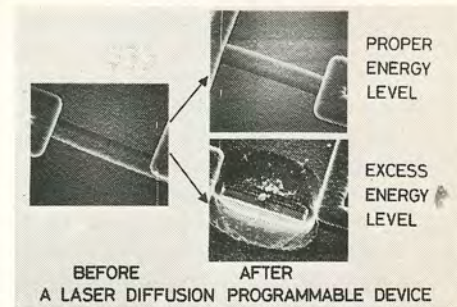
Den nya tekniken bygger på Fowler-Nordheim-tunnling av elektroner genom ett tunt oxidskikt ovanför kollektorn till ett elektriskt flytande styre. Tekniken, som av Intel kallas FLOTOX – Floating-gate tunnel-oxide –, verkar mogen för en kraftfull satsning. Intel har redan kommit ut på marknaden med ett 16 kbitars EEPROM – 2816 – med 250 ns åtkomsttid. Det ställer vissa krav på programmeringsspänningen  $V_{PP}$ . Denna ska vid omprogrammering pulsas i 10 ms pulser med noga kontrollerad stigtid för att inte utsätta tunnel-oxiden för transienta spänningar som kan skada minnescellerna.

Men mycket snart kommer varianter där  $V_{PP}$  kan vara konstant under programmeringen och programmeringspulserna styrs med TTL-signaler. Eftersom tunneling-tekniken dessutom är ganska energisnål jämfört med EPROMs lavingombrott-teknik har vi inom två år vari-



**Bild 1.** Hitachis 64 kbitars dynamiska RAM har en typisk åtkomsttid på 120 ns och drar 170 mW. Brickan är 3,5x7,5 mm<sup>2</sup> och minnet är delat i åtta block för att öka snabbheten.

**Bild 2.** Programmerbar länk som programmeras genom laserkontrollerad diffusion. Med korrekt intrimnad laserenergi (upptill) skadas inte kretsens ytpassivering. (Se även ET 5/82).



anter som går på en enda matningsspänning 5 V (även vid programmering). Vid ISSCC-82 presenterade även National ett 2816 medan Motorola talade om en större variant på 32 kbit med 90 ns åtkomsttid.

Kjell O Jeppson

MNOS-tekniken är den hittills dominerande icke-flyktiga tekniken. Dessa minnen har varit ganska långsamma och krävt flera spänningar eftersom de tillverkats i PMOS-teknik. Dessa minnen har nu moderniserats och både General Instruments och Hitachi erbjuder 16kbitars "2816"-minnen i N-kanal teknik. En utförligare beskrivning av EEPROM finns i El-teknik 8/82.

## Minnen:

# Priskriget i full gång

**Under året som gått har priset på 16 k DRWM sjunkit så lågt att många tillverkare i stället satsar på 64 k varianten. Det finns faktiskt ett par tekniska finesser också bland 64 k minnena.**

Minnen av alla de slag har alltid utgjort testobjekt för nya processer inom halvledarindustrin. För olika typer av minnen har man idag teknologier färdiga, som gör det möjligt att tillverka följande storlekar:

- 64 kbit dynamiska RWM
- statiska RWM i NMOS med en snabbhet under 40 ns
- 64k statiska RWM i CMOS
- 16k EEPROM
- 128k EPROM
- 128k ROM
- 64k bipolära PROM

Det finns en enorm potentiell marknad för 64 DRWM, den uppskattas att överskrida 1 miljard dollar 1985. Detta tillsam-

mans med det ständigt pågående priskriget, har gjort att priset sjunkit kraftigt i takt med att deltagarna i tävlingen försöker att tillskansa sig marknadsandelar.

### Inga överraskningar

Av alla de 64k-minnen som nu har introducerats, har de flesta inte bjudit på några tekniska överraskningar. Förbättrad processteknik, finare litografisk upplösning och viss redundans är de väsentliga punkter, som tillverkarna slagit på trumman för. Men det finns två undantag från detta. Texas Instruments har använt sig av vissa tekniska knep plus ett epitaxialsikt på skivan för att därmed kunna ta bort

# ISSCC 82 i San Francisco: EEPROM i rampljuset

Elektriskt ändringsbara ROM var huvudattraktionen på ISSCC 82. Halvledartillverkarna presenterade modeller med omprogrammeringsspanningar från 5 till 21 Volt och med eller utan redundans på kretsen.

Vid ISSCC 82, the International Solid State Circuits Conference, nyligen i San Francisco stod EEPROM-minnena i rampljuset. Förutom en helt egen föredrags-session fanns det flera "late news papers".

EEPROM, Electrically Erasable Programmable Read Only Memories, är elektriskt rader- och programmerbara läsminnen som håller sin information i årtal utan spänningsmatning. Minnena är icke-flyktiga, Non-Volatile Memories (NVM). Den nya tekniken bygger på Fowler-Nordheim-tunneling av elektroner genom ett tunt oxidskikt till ett flytande styre. Tidigare har man tunnlat elektronerna till fällor i isolatorn som har varit ett dubbelskikt av nitrid och tunn oxid, MNOS-transistorn. Eller så har man "hettat" upp elektronerna genom lavingenombrott i kollektorn så att elektronerna kan ta sig över energibarriären och ta sig till ett flytande styre, FAMOSTransistorn, Floating gate Avalanche injection MOS.

Den nya tekniken som av Intel kallas FLOTOX – Floating-gate tunnel oxide – verkar nu vara mogen för en kraftfull satsning av de stora halvledartillverkarna. Intel har redan kommit med sin 2816 på marknaden, ett 16 k bitars minne med 250 ns åtkomsttid. Vid ISSCC 82 visade även National Semiconductors, Motorola och Fairchild att de har minnen på gång!

## EEPROM eller EAROM?

Dominerande icke-flyktiga minnen är de magnetiska minnena, skivor, band, flexskivor, magnetkort etc. De magnetiska bubbelminnena däremot har ännu inte blivit den succé man räknade med. Något riktigt konkurrenskraftigt icke-flyktigt halvledarminne som är elektriskt ändringsbart har hittills inte funnits annat än för specialtillämpningar.

De vanliga, icke-flyktiga halvledarminnena är antingen omöjliga att alls radera (ROM, PROM) eller omständiga att radera (EPROM eller UVPROM), vilket måste ske med UV-ljus.

De icke-flyktiga elektriskt ändringsbara minnen som funnits under 70-talet har huvudsakligen varit P-kanal MNOS-minnen. Dessa minnen har tillverkats av NCR (National Cash Register), GI (General Instruments) och Nitron samt Plessey. En vanlig beteckning på dessa minnen är EAROM – Electrically Alterable ROM. (NCR, GI). De nya minnestyperna som utnyttjar N-kanal floating-gate transistorer betecknas i allmänhet EEPROM, Electrically Erasable PROM, vilket också anspelar på att minnena är kompatibla med EPROM. Namnen antyder också att det är omständigare att ändra informationen än att bara läsa den – det tar längre tid, kräver högre spänning och går bara att göra ett begränsat antal gånger.

## Omprogrammering

Intels EEPROM 2816 presenterades första gången på ISSCC-80. Minnet är organiserat i 2 kbyte om 8 bitar och kan omprogrammeras byte för byte. Omprogrammering av en byte tar 20 ms vilket sparar mycket tid när man ska in och ändra i ett mikrodatorprogram. Det finns också en möjlighet till chip erase och det tar 20 sekunder att programmera om hela minnet. Matningsspänningen är 5 V vid läsning medan en 21 V puls på 10 ms styr radering/programmering. Denna skrivpuls måste ha en noggrant kontrollerad stigtid för att inte i onödan utsätta minnescellen för höga spänningstransienter.

Intels minnescell är av floating-gatetyp och visas i figur 1. Cellstrukturen kallas FLOTOX och bygger på att en del av oxiden mellan det flytande styret och kollektorn är mycket tunn, bara hundra Ångström! Vid höga elektriska fält kan elektroner tunnla genom den tunna oxiden och ladda upp det flytande styret.

Fältet åstadkoms genom 21 V-pulsen på det yttre kontrollstyret till vilket det flytande styret är kapacitivt kopplat. Tunnelströmmen är exponentiellt bero-

de av fältet så utan spänning ligger laddningen säkert lagrad bakom oxidens potentialbarriär.

Vid läsning i cellen läggs en lässpänning på kontrollstyret och beroende på om det flytande styret är laddat eller inte blir transistorn antingen ledande eller spärrande. Transistorns tröskelspänning bestäms helt enkelt av laddningen. Lässpänningen måste hållas låg så att elektronerna inte laddar upp styret under läsningen. I så fall skulle minnet vara begränsat till ett visst antal läsningar. Denna effekt kallas read disturb. När minnet raderas är fältriktningen ombytt och elektronerna tunnlar ut till kollektorn igen.

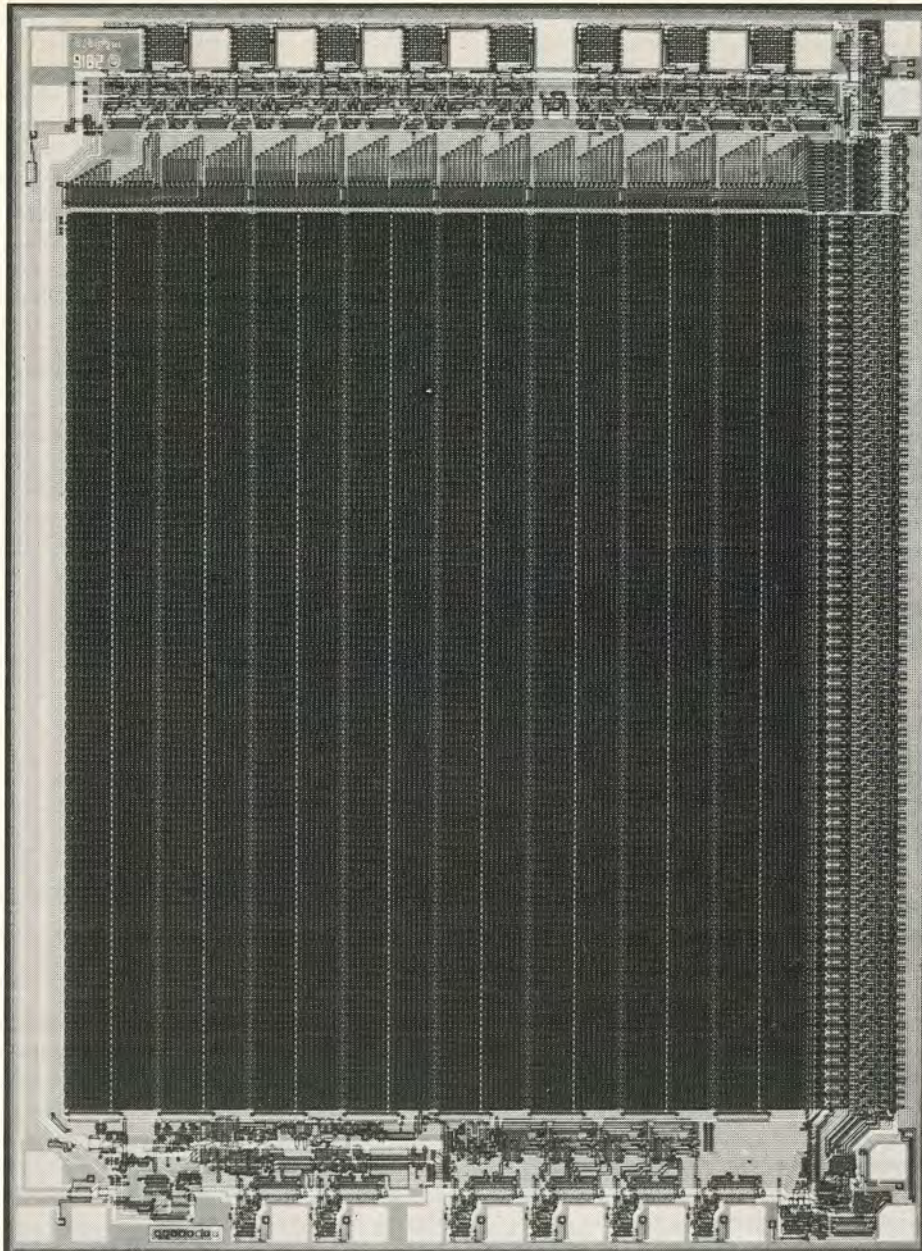
Databladet säger inget om hur bra minnet lagrar informationen men andra källor anger att informationslagringstiden är bättre än 10 år vid 125 °C. Minnet är dock bara specificerat för 0 . . . 70 °C. Minnet tål bara att programmeras om 10<sup>4</sup> gånger på grund av utmattningseffekter, endurance. Någon begränsning av antalet läsningar, read disturb, anges inte.

## Andra tillverkare

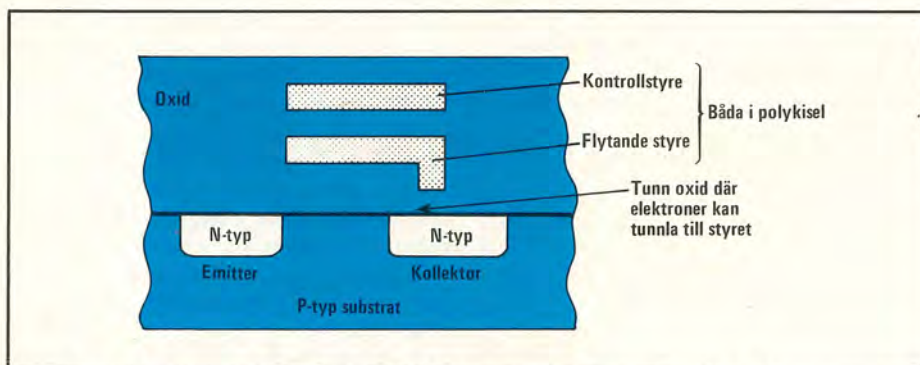
Vid ISSCC-82 nyligen presenterade även National Semiconductors ett 2816 med en åtkomsttid på mindre än 200 ns. Minnet är utbytbar mot Intels men har en intern pulsförmarkrets som mildrar kravet på skrivpulsens stigtid. Minnet har också en inbyggd patentsökt metod för "bit-mapping", dvs en metod att gå in i detalj och se hur länge informationen kan förväntas ligga kvar. Minnesinnehållet kan då frisäckas upp innan det går förlorat. Man kan också detektera om minnet har omprogrammerats för många gånger så att det håller på att tappa sin funktion pga elektrontrapping i den tunna oxiden.

För att minimera read-disturb-effekter genereras en låg lässpänning internt på brickan.

Nationals minne tillverkas med Nationals XMOS-E<sup>2</sup> process som utnyttjar en tunn oxid (<150 Å) och en maskteknik



Intels EEPROM 2816.



Figur 1. Intels minnescell kallas FLOTOX, Floating-gate tunnel oxide. Vid omprogrammering tunnlar laddning genom den tunna oxiden ovanpå kollektorn.

med direct step on wafer (DSW) för att definiera minimimått för tunnlingsområdet med tunn oxid. Detta är bara  $1,75 \mu\text{m}$  i fyrkant som framgår av figur 2. Minnescellen är  $516 \mu\text{m}^2$  och hela minnet  $5,4 \times 3,25 \text{mm}^2$ .

### 32 kbitars EEPROM

Motorola presenterade ett EEPROM på 32 kbit och en åtkomsttid på 90 ns. Minnet är organiserat som  $4096 \times 8$  bytes. Det går att radera inte bara ett ord eller hela brickan utan också att radera sidor om 32 eller 128 bytes. Att kunna radera sidor tillåter system med hierarkiskt organiserade minnen vilket reducerar omprogrammeringstiden vid förändring av lagrade data.

Motorolas minnescell består av en selecttransistor i serie med en minnestransistor som man kallar FETMOS (Floating-gate Electron Tunneling MOS). FETMOSen bygger också på Fowler-Nordheim-tunnling av elektroner genom en tunn oxid till ett flytande styre. I motsats till Nationals och Intels minnesceller, som båda utnyttjar små tunnelområden, har Motorola tunn oxid under styret i hela kanalområdet. Resultatet blir en enkel process med kompakta minnesceller.

Vid läsning jordas både emitter och kontrollstyre och en låg spänning på 1 V läggs på kollektorn. På så sätt maximeras tillförlitligheten mot elektrisk stress över oxiden vid läsning och läståligheten ökar. Vad gäller tålighet vid omprogrammering uppges cellen klara minst  $10^5$  omprogrammeringar.

Cellytan är  $260 \mu\text{m}^2$  vilket är hälften av Nationals 2816 och hela brickytan är  $20,6 \text{mm}^2$ . Tillverkningstekniken är  $3 \mu\text{m}$  HMOS.

### Redundans

Motorola använder också laserprogrammerad redundans i sina EEPROM för att öka produktionsutbytet. Filosofin är att ett 32 kbitars minne ska gå att tillverka med tillräckligt utbyte när processen är

inkörd. Däremot kan det vara problem under inkörningsperioden. Eftersom utbytet bestäms av slumpmässiga fel på kiselytan kan man öka utbytet genom att bara utnyttja en del av brickytan.

Genom att bränna en eller två polykisel-länkar med laser vid testningen kan man få kretsar med samma benplacering, 8 och 16 kminnen, från samma bricka. Alla tre minnena produceras alltså från samma bricka. Tekniken kallas TPP, Transparent partial Programming.

RCA har också presenterat EEPROM i CMOS kisel på safirteknik tidigare. En sådan minnescell presenterades vid IEDM-78 och nu hade man utnyttjat denna minnescell för ett mycket snabbt 8 kbit CMOS/SOS EEPROM. Åtkomsttiden är bara 40 ns och effektförbrukningen 60/0,05 mW vid läsning/viloläge. Nyheterna i detta minne är främst kretslösningarna. Snabbheten kommer från intern förladdning (precharge) av ledare och Schmitt-triggers på radavkodarna.

Ett 2 kbit EAROM som drivs med 15 V som enda matningsspänning presenterades av Fujitsu. Minnescellen bygger på

lavininjektion av elektroner genom en 100 Å tjock isolator av termisk nitrid till det flytande styret. Minnescellen kallas NAMIS, Nitride-barrier Avalanche-injection MIS. Den påminner om de tidigare nämnda med ett kontrollstyre och ett flytande styre i polykisel men isolatorn är termisk nitrid i stället för oxid.

Isolatorn har ett varierande bandgap som är minst vid kiselytan och som ökar mot det flytande styret. Det har åstadkommit genom att nitriden, som växt termiskt genom en plasmaassisterad teknik, oxiderats. Den tunna isolatorn med låg potentialbarriär vid kiselytan underlättar lavininjektion av heta elektroner från kollektorn. Samtidigt reducerar den större potentialbarriären vid styret den termiska utläckningen och ger bra informationslagring.

God uthållighet mot omprogrammering uppnås genom ett lågt fält på 1...2 MV/cm.

Minnescellen består av två transistorer och har en cellyta på 637  $\mu\text{m}^2$ . Omprogrammeringståligheten uppges till minst  $10^4$  cykler och även efter dessa ompro-

grammeringar anges informationslagringen till minst 2 000 timmar vid 150 °C. Minnets åtkomsttid anges till 200 ns.

## Programmerar med 5V!

Ett företag, SEEQ Technology, från San José presenterade ett annat intressant 16 kbitars EEPROM. Det klarar sig enbart med 5 V, även vid programmering. Det har uppnåtts med en lågeffektsminnescell med oxynitrid tunnelisolator och med interna laddningspumpar som skapar de 8 V som behövs vid programmering internt på bricken.

Minnescellen är en fyrtransistorcell med två polykiselledare och separata metalledare för läsning och programmering. Denna konstruktion eliminerar potentiella tillförlitlighetsproblem vid läsning och resulterar i en programmeringsström nära noll både vid skrivning och radering. I motsats till de tidigare beskrivna minnena hamnar hela programmeringsspanningen över tunneldielektrikat. Det ger bättre minnesmarginaler.

Minnet på 16 kbit är konstruerat i 3  $\mu\text{m}$  NMOS-teknik och använder isolatorer av oxynitrid. Minnet är helt statiskt och TTL-kompatibelt. Cellytan är 400  $\mu\text{m}^2$  och hela bricken 17  $\text{mm}^2$ . Åtkomsttiden är 250 ns och effektförbrukningen typiskt 250 mW (60 mW viloläge).

## Redundans med EPROM

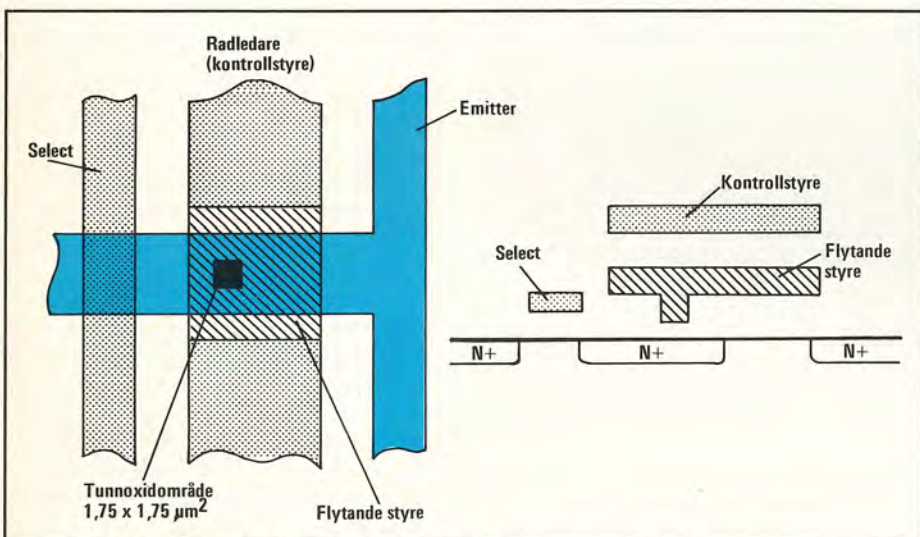
För att höja produktionsutbytet används redundans med EPROM-programmering. I motsats till polykisel-länkar som bränns med laser undviker denna metod föroreningar från den brända länken och är en mer minneskompatibel teknik. För varje redundant minnesrad används två EPROM-länkar. Från början är båda länkarna programmerade så att den redundanta raden kopplas bort oavsett adressen. När den redundanta raden ska användas omprogrammeras länkarna. Den ena länken är en minitransistor för att reducera strömmen vid skrivning medan den andra länken är en kraftigare transistor för snabbare åtkomst vid läsning.

För att göra minnet utbytbar mot EPROM kan det också programmeras med 12 eller 20 V  $V_P$ -pulser. Inprogrammerat i minnet finns också tillverkningsdatum och det är också möjligt att läsa ut om redundansen är utnyttjad i minnet.

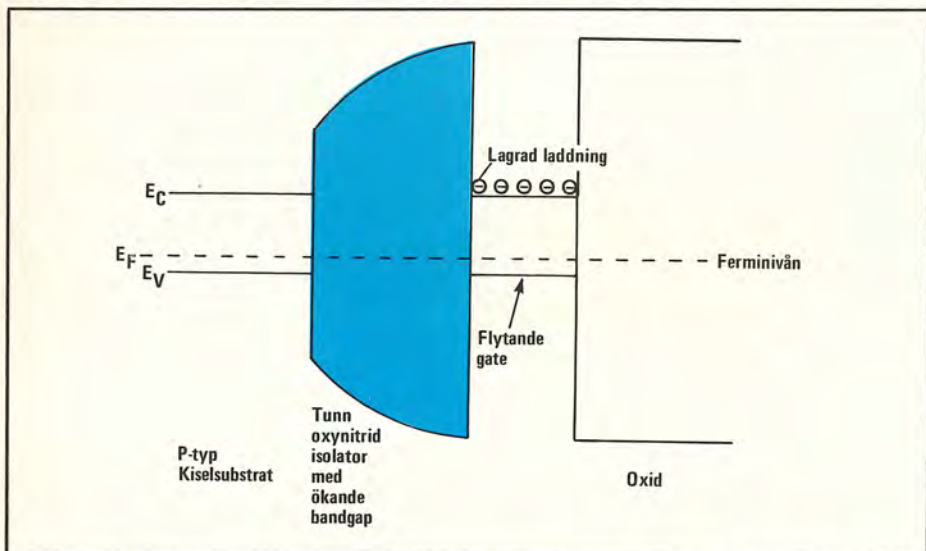
Redundans användes också av Intel i det nya 128 kbit EPROM som presenterades. Detta minne raderas dock med UV-ljus så här duger inte att programmera redundansen med EPROM-länkar. I stället användes traditionella 3  $\mu\text{m}$  poly-länkar. Minnesbricken är 3,8x6,1  $\text{mm}^2$  vilket tydligen är tillräckligt stort för att redundansen, som ökar brickytan 5 %, ska betala sig.

(Icke-flyktiga minnen har tidigare behandlats i Elteknik 16/78, 4/79 och 8/81).

Kjell O Jeppson



Figur 2. Nationals EEPROM-minnescell påminner om Intels i figur 1.



Figur 3. NAMIS, Nitride barrier Avalanche-injection MIS – cell med varierande bandgap för optimerade programmerings- och lagringsdata. Cellen kommer från Fujitsu.

# aktuell elektronik

NUMMER 4 ● MARS 1982 ● SVERIGES ELEKTROINGENJÖRERS EGEN TIDNING

Rapport från ISSCC:

## Stora RAM från tre tillverkare

● IBM presenterar ett 288k RAM. Hitachi och Bell Labs har varsitt på 256k.

● Bland processorerna förskjuts intresset mot specialprocessorer för signaler, datakomm och talbehandling.

● Icke-flyktiga minnen har kommit i rampljuset.

Det rapporterar Eltekniks utsände fackredaktör Kjell Jeppson från "världens viktigaste komponentkonferens", ISSCC i San Francisco.

The International Solid State Circuits Conference – ISSCC-82 – samlade under tre dagar 10 . . . 12 februari mer än 3 000 deltagare i ett vårsoligt San Francisco. Det är verkligen en konferens i kolossalformat där halvledartillverkarna visar upp sina senaste färdigheter i avancerad VLSI-konstruktion. Tyngdpunkten ligger på allt kraftfullare processor-chips och allt större minnen. Förra året introducerades flera 32-bitars mikrodatorer, men i år låg tyngdpunkten på specialprocessorer. Tre nya sessioner behandlade sålunda digitala signalprocessorer, datakommunikationskretsar och talbehandlingskretsar.

I rampljuset stod också de icke-flyktiga minnen som är elektriskt rader- och programmerbara och som kan hålla sin information under

lång tid utan spänningsmatning. Den nya tekniken – som bygger på Fowler-Nordheim-tunnling av elektroner genom ett tunt oxidskikt till ett flytande styre – verkar nu mogen för en kraftfull satsning av de stora halvledartillverkarna. I ex **Intel, National Motorola** och **Fairchild**.

Nästa generation random access minnen – RAM – tilldrar sig traditionellt stort intresse på denna konferens. Det är en giganternas kamp mellan amerikanska och japanska minnestillverkare. En mängd oförenliga krav gör vägen till framgång törnbeströdd. För de dynamiska minnena måste man kompromissa mellan:

- en för liten minnescell som lagrar så få elektroner att minnet blir svårläst och känsligt för alfastrålning
- för stora minnesbrickor

som ger för dåligt produktionsutbyte.

Dessa svårigheter har redan fördröjt introduktionen av 64 kbitars dynamiska RAM. Nu presenterar emellertid IBM ett 288 kbitars dynamiskt RAM med en brickstorlek på  $6 \times 10 \text{ mm}^2$ . 256 kbitars dynamiska RAM presenterades också av **Hitachi/NTT-Musashino** och **Bell Labs**. Även dessa båda minnen hade ganska stora brickor 46,8 resp 54,3  $\text{mm}^2$  men ryms ändå i 16 pinnars kapsel. Båda minnena har 256 cyklers refresh med 4 ms periodtid. De går båda på 5 V som enda matningsspänning medan IBMs minne kräver 3 olika matningsspänningar.

Att öka brickyrtorna till ca 50  $\text{mm}^2$  med bibehållet högt tillverkningsutbyte har varit möjligt genom laserprogramerad redundans. Minnesmatriserna innehåller helt enkelt ett antal extra rader och kolumner med minnesceller som kan programmeras in genom att små metall-länkar bränns av med laser. Minnena uppvisar därför ofta särskilda passmärken för upplinjer av lasern! Även redundans som programmeras med EPROM-celler förekommer. En annan intressant lösning presenterades av **Motorola** i deras 32 kbitars EEPROM.

För att öka produktionsutbytet under intrinnsfasen medan man åker ner för inlärningskurvan kan man laserprogramera samma minne till 16 och 8 kbitars varianter. Alla tre minnena består av samma bricka!

**Hitachi** använder en mycket snygg metod för att programmera in redundanta celler utan att skada kretsen. Den vanliga metoden, där en laser bränner av en metallledare, skadar den ovanliggande passiveringen. **Hitachi** använder istället laserkontrollerad diffusion av störrämnen för att kortsluta en polykristallin kiselledare. Denna är från början intrinsisk med mycket dålig ledningsförmåga men omgiven av högdopade kontakter.

Vid laseruppvärmningen diffunderar dessa störrämnen in i den intrinsiska ledaren och kortsluter denna utan att isolatorskiktet skadas om lasern är rätt trimmad.

När det gäller statiska RAM har nu CMOS på allvar tagit upp konkurrensen med NMOS. CMOS-tekniken håller på att skaka av sig den gamla stämpeln med dålig packningstäthet och snabbhet. Att det går att göra snabba CMOS-minnen visade **Intel** med ett 4 kbitars ECL-kompatibelt CMOS-minne. Minnet innehåller också några bipolära NPN-

transistorer. Åtkomsttiden är 20 ns men effektförbrukningen är 750 mW vilket inte precis är något typiskt CMOS-prestanda.

64 kbitars statiska RAM i CMOS presenterades också av såväl **Hitachi** som **Toshiba**. Dessa minnen utnyttjar vanligen minnesceller i traditionell NMOS-teknik med högresistiva polykiselmotstånd. Endast kringlogiken, som annars är den mest effektkrävande, görs i CMOS. Det ger hög packningstäthet, stor snabbhet och låg effektförbrukning. I stand-by brukar effektförbrukningen kunna minskas till 20  $\mu\text{W}$ . **Toshiba** hade emellertid också utvecklat en ren CMOS-minnescell. Denna ger en något större cellyta och man hade lagt stort arbete på att finslipa CMOS-tekniken med dubbla polykiselledare och reaktiv jon-ets för att uppnå 2  $\mu\text{m}$  linjebredd. Brickan blev ändå 44  $\text{mm}^2$  och innehöll redundanta minnesceller. Effektförbrukningen blev emellertid extremt låga 50 nW i standby och 15 mW vid 1 MHz. Åtkomsttid 85 ns.

Utförligare reportage om flera nyheter kommer i senare nummer av Elteknik.

KJELL O JEPPESON

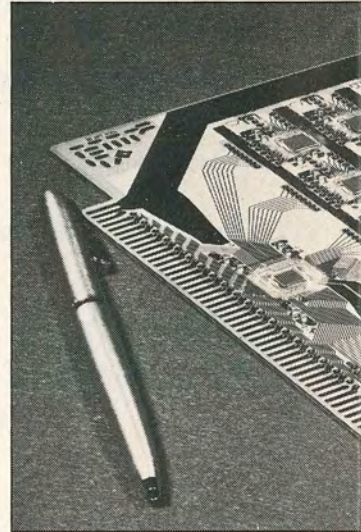
# ISSCC i San Francisco: Stora minnen och special- processorer



**SAN FRANCISCO (Elteknik)**  
Kraftfulla processorchips och stora minnen dominerar som vanligt "världens viktigaste komponentkonferens", ISSCC. Det rapporterar vår utsände fackredaktör Kjell Jeppson. HPs chip med 450 000 transistorer har kompletterats till en VLSI-dator. IBM visar ett 288k RAM, medan Hitachi och Bell Labs har varsitt på 256 k. Icke-flyktiga EEPROM prioriteras högt.

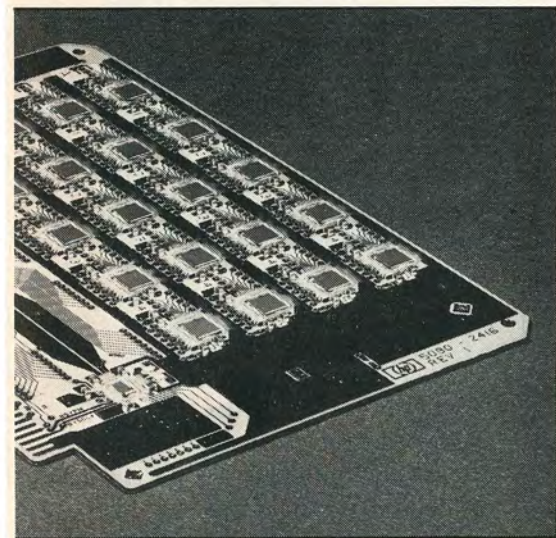
The International Solid State Circuits Conference – ISSCC 82 – samlade under tre dagar mer än 3 000 deltagare i ett vårsoligt San Francisco. Det är verkligen en konferens i jätteformat där halvledartillverkarna visar upp sina senaste färdigheter i VLSI-konstruktion. Under de 19 föredragssessionerna täcktes de flesta aspekterna på integrerad krets konstruktion i sammanlagt 108 föredrag. Under de två kvällssessionerna framlade 90 paneldebattörer sina synpunkter i 12 olika informella debatter.

Konferensens tyngdpunkt ligger på allt kraftfullare processorchips och nästa generation större minnen. Förra året introducerades flera 32 bitars mikrodatorer men i år låg tyngdpunkten på specialpro-



*RAM-minneskort med 20 st 128 kbäters RAM-minnen, klockgeneratorkrets som kan driva 1 500 pF på 6 ns minnesstyrkrets. Kortet ingår i HPs VLSI-datorsystem.*

*Mikrodatorbricka med 450 000 transistorer från HP som enkelt utklassar transistorhögen i bakgrunden när det gäller prestanda. Den hanterar data med en busshastighet på 36 Megabyte/sekund.*



cessorer. Tre nya sessioner behandlade sålunda digitala signalprocessorer, datakommunikationskretsar och talbehandlingskretsar.

### 32 bitars VLSI datorsystem

Bland de 32 bitars datorchip som presenterades förra året fanns en från **Hewlett-Packard** med 450 000 transistorer. Den CPU-enheten hade 55 ns mikrocykeltid och 230 instruktioner inklusive specialinstruktioner. De flesta transistorerna – 350 000 – fanns i CPU-enhetens styrminne (ROM).

Denna mikroprocessor har i år kompletterats och byggts ut till ett helt VLSI-datorsystem. Förutom mikroprocessorn

består systemet av en I/O processor, memory controller, 128 kbitars RAM, 640 kbitars ROM och en klockkrets – alla tillverkade i 1  $\mu\text{m}$  NMOS-teknik. Alla kretsarna är direkt monterade på ett speciellt kretskort med en kopparkärna omgiven av två isolerande teflonskikt. Ett luftkylt kort kan kyla bort 18 W effekt.

Den mest komplexa kretsen är RAM-minnet på 128 kbitars. Det utnyttjar en 4-transistors minnescell för snabb åtkomsttid – 165 ns. Genom två 18 MHz klocksignaler kan datorsystemet arbeta med en bussöverföringshastighet på 36 Megabyte/sekund.

HP visade också upp ett set på tre kretsar som tillsammans utgjorde en 64 bitars flyttalsprocessor. Kretsarna var tillverkade i 4  $\mu\text{m}$  CMOS på safirteknik och är 20...30 gånger snabbare än kommersiellt tillgängliga flyttalsprocessorer. Varje krets förbrukar 400 mW och busshastigheten är 12 MHz.

### Nu kommer EEPROM

I rampluset stod också de icke-flyktiga minnena EEPROM. Dessa Electrically Erasable Read Only Memories är elektriskt rader- och programmerbara och håller sin information i årtal även utan spänningsmatning. Den nya tekniken – som bygger på Fowler-Nordheim-tunneling av elektroner genom ett tunt oxidskikt till ett flytande styre – verkar nu vara mogen för en kraftfull satsning av de stora halvledartillverkarna **Intel**, **Motor-**

**ola**, **National Semiconductors** och **Fairchild**.

Tidigare har Intel presenterat sitt 16 kbitars EEPROM 2816 och nu kommer även National Semiconductor med sin variant. Den skiljer sig något från Intels eftersom den har en intern pulsformgenerator som eliminerar en del av kraven på programmeringspänningens  $V_{PP}$  utseende. Minnet har också en "bit mapping" test mod som gör det möjligt att gå in och kontrollera om någon information är på väg att gå förlorad.

Motorola presenterade ett 32 kbitars EEPROM med 90 ns åtkomsttid. I motsats till Nationals minne som har ett tunnoxidområde på  $1,5 \times 1,5 \mu\text{m}^2$  har Motorola tunnoxid (<200 Å) under hela styret. För att undvika "read disturb", dvs att informationen förstörs vid läsning, sker denna vid mycket låg spänning (1 V). Båda minnena uppges tåla mer än  $10^5$  omprogrammeringar och kräver en programmeringspänning på 21 V.

**Fujitsu** presenterade ett 2 kbitars FA-ROM som drivs med 15 V som enda matningsspänning. Minnescellen bygger på lavininjektion av elektroner genom en 100 Å tjock isolator av termisk nitrid till det flytande styret. Genom att nitriden delvis oxiderats får man en låg potentialbarriär vid kiselytan vilket ger låga programmeringspänningar samtidigt som en kraftigare barriär vid styret ger goda lagringsdata.

**SEEQ Technology** från San José presenterade ett 16 kbitars EEPROM som drivs med 5 V matningsspänning även vid



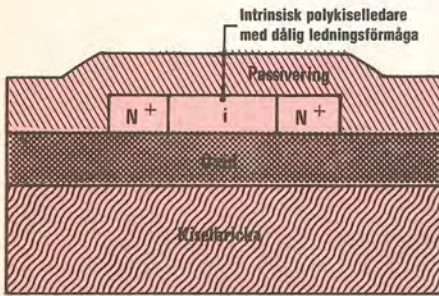
programmering. Interna laddningspumpar skapar de 18 V som krävs för att elektronerna ska tunnla genom den 100 Å tunna högkvalitativa oxynitriden. Andra nyheter i denna session var ett 128 kbitars EPROM för UV-radering som presenterades av Intel liksom ett 8 kbit CMOS/SOS EEPROM med bara 40 ns åtkomsttid från RCA.

## Redundans med laser

Traditionellt tilldrar sig alltid nästa generation minnen stort intresse på denna konferens. Det är en giganternas kamp mellan amerikanska och japanska minnestillverkare. På konferensen presenteras både färdigutvecklade minnen som nästan är på väg ut på marknaden, men också en mängd prototyper som bara är forskarnas sätt att hitta rätt väg framåt. Dessa minnen kommer aldrig på marknaden.

En helt ofrånkomlig väg för att uppnå nästa generation minnen är att öka brickytorna. Många minnesbrickor har en yta på ca 50 mm<sup>2</sup>. För att kunna tillverka dessa stora minnen med bibehållet högt tillverkningsutbyte har det varit nödvändigt med laserprogrammerad redundans. Minnesmatriserna innehåller helt enkelt ett antal extra rader och kolumner som kan ersätta felaktiga celler genom att små metallänkar bränns av med laser. Minnena har därför ofta nu ett extra passmärke för upplinjerad av lasern!

En annan typ av redundans användes av Motorola i deras 32 kbitars EEPROM.



*Hitachis programmerbara länk för redundanta minnesceller. Genom laserkontrollerad diffusion av störämnen från de högdopade ändkontaktarna kortsluts polykiselcellaren.*

För att öka tillverkningsutbytet under inlärningsfasen kan man genom att bränna en eller två länkar få pinnkompatibla 16 och 8 kbitars varianter. Alla tre minnesstorlekarna produceras parallellt från samma chip genom en teknik man kallar TPP – transparent-partial programmering.

Hitachi använder en mycket snygg metod för att programmera in redundanta celler utan att skada kretsen. Den vanliga metoden där en laser bränner av en metallledare skadar den ovanliggande passiveringen. Hitachi använder istället laserkontrollerad diffusion av störämnen för att kortsluta en polykristallin kiselcellare. Denna är från början intrinsisk med mycket dålig ledningsförmåga men omgiven av högdopade kontakter. Vid laseruppvärmningen diffunderar dessa störämnen in i den intrinsiska ledaren och kortsluter denna utan att isolatorskiktet skadas om lasern är rätt trimmad.

## Inga sensationer

Några sensationella nyheter bjöd inte konferensen på. Tvärtom är halvledartekniken nu en mogen och etablerad teknik vars vidareutveckling fortgår enligt förutsägbara normer. Den nedskalning av process- och designparametrar för att uppnå bättre packningstäthet och prestanda som mer systematiskt påbörjades av Intel med HMOS-processen 1977 tog nu ytterligare ett steg framåt. Ett av de prisbelönta föredragen kom från Intel och behandlade HMOS III processen. Denna MOS-teknologi där H står för High performance är nu nere i kanallängder på 1,5 μm och isolatortjocklekar på 250 Å oxid. Teknologin utnyttjar 2 μm designregler och såväl wafer-stepper-teknik som torr plasmaetsning. HMOS III har en effektfördröjningsprodukt på 0,25 pJ vilket är dubbelt så bra som HMOS II från 1979.

## 288 kRAM

IBM, som påstår att man massproducerar det hittills mest komplexa dynamiska RAM-minnet – 72 kbitar – på sin 2 μm tillverkningslinje presenterade nu ett 288 kbitars dynamiskt RAM. Det nya minnet på 6×10 mm<sup>2</sup> lagrar fyra gånger så mycket information på bara dubbla ytan. IBM presenterade också ett bipolärt RAM i VLSI-klass på 72 kbitar. Minnets åtkomsttid är bara 50 ns och informationen lagras i spärskiktscapacitansen i en sammansatt tvåtransistorcell av I<sup>2</sup>L-typ. Minnets effektförbrukning är 150/500 mW.

Liksom förra året presenterades två 256 kbitars dynamiska MOS-minnen i "sista minuten"-föredrag. Denna gången var det Hitachi/NTT-Musashino och Bell Labs som tagit fram var sin variant. Även dessa båda minnesbrickor var ganska stora men rymd ändå i 16 pinnars kapslar. Båda minnena har 256 cyklers refresh med 4 ms period. De går båda på 5 V som



*Experimentellt 72 kbitars dynamiskt RAM från IBM i bipolär teknik. Åtkomsttiden är bara 50 ns.*

enda matningsspänning. Åtkomsttiden ligger på 100 . . . 150 ns.

## Statiska RAM

När det gäller statiska RAM har nu CMOS på allvar tagit upp konkurrensen med NMOS. CMOS-tekniken håller på att skaka av sig den gamla stämpeln med dålig packningstäthet och dålig snabbhet. Att det går att göra snabba CMOS-minnen visade Intel med ett 4 kbitars ECL-kompatibelt CMOS-minne som också innehåller bipolära NPN-transistorer. Åtkomsttiden är 20 ns men effektförbrukningen är 750 mW vilket inte precis är något typiskt CMOS-prestanda.

64 kbitars statiska RAM i CMOS presenterades också av såväl Hitachi som Toshiba. Dessa minnen utnyttjar vanligen minnesceller i traditionell NMOS-teknik med högresistiva polykiselständer. Avkodningslogiken, som annars är den mest effektkrävande, görs i CMOS. Det ger hög packningstäthet, stor snabbhet och låg effektförbrukning. I stand-by brukar effektförbrukningen kunna minskas till 20 μW. Toshiba hade emellertid också utvecklade en ren CMOS-minnescell. Denna ger en något större cellyta och man hade lagt stort arbete på att finslipa CMOS-tekniken med dubbla polykiselceller och reaktiv jon-ets för att uppnå 2 μm linjebredd. Brickan blev ändå 44 mm<sup>2</sup> och innehöll redundanta minnesceller. Effektförbrukningen blev emellertid extremt låga 50 nW i standby och 15 mW vid 1 MHz. Åtkomsttid 85 ns.

Andra nyheter på statiska RAM var ett 35 ns 16 kbitars minne från Mitsubishi. Man hade lyckats reducera effektförbrukningen till 275/22,5 mW. Intel har använt interna klockor för att öka prestanda hos både 16 och 64 kbitars minnen. Minnena är tillverkade i HMOS III teknik där 16 kbit minnet, som var en nedskalad variant av ett tidigare minne från 1979, nu hade en brickyta på 10 mm<sup>2</sup>, en åtkomsttid på 30 ns och en effektförbrukning på 350/60 mW. 64 kbit minnet, med inbyggd redundans, hade en brickyta på 35,7 mm<sup>2</sup>, åtkomsttid på 50 ns och effektförbrukning på 400/100 mW.

Ytterligare information kan fås ur den utmärkta konferenssammanfattningen som i år firar 25-årsjubileum och som kan beställas från IEEE.

*Kjell O Jeppson*

SUPREM (SUPREM = Stanford University Process Engineering Models) utvecklats på Stanforduniversitetet. Allt eftersom mer komplexa halvledarprocesser har tagits i bruk har detta verktyg blivit mer använt och värderat.

### Kiselkompilator

En konstruktion genomgår många olika faser på flera abstraktionsnivåer. Beteendet specificeras på systemnivå, funktionen på grindnivå och den fysikaliska layouten på kiselnivå. I början av konstruktionen är beteendet den väsentliga informationen och allt eftersom konstruktionen fortgår tillförs den en allt mer detaljerad struktur. De flesta CAD-verktyg förlitar sig på ganska detaljerad information om konstruktionens struktur. Vid en viss tidpunkt kan olika delar av konstruktionen befinna sig på olika abstraktionsnivåer vilket gör det önskvärt att kunna simulera konstruktionen på dessa flera olika nivåer. Arbeten med strukturella beskrivningsspråk som ska knyta ihop de olika nivåerna pågår på t ex Stanford (SDL) Berkeley (BLT) och Leuven (MDL).

En kiselkompilator är ett CAD-verktyg som tar konstruktionen direkt från en beteendespecifikation till en kisel-layout. Huruvida en kiselkompilator är möjlig att optimera utom för vissa specialfall kan diskuteras. Ett lovande embryo till kiselkompilator är Bristle-blocken från Caltech. I dagens system följer alla kretslösningar samma mönster med en horisontell datapassage med färdiga register/ALU-celler som direkt kan passas ihop och vertikala styrledningar styrda av ett PLA. Grundcellerna för RALU lagras i komprimerad form och kan sedan automatiskt töjas för att passa till ett ledningsmönster med horisontella och vertikala ledare.

### Symbolisk layout

Enligt professor deMan i Leuven kan layout av kiselkretsar delas in i tre olika typer:

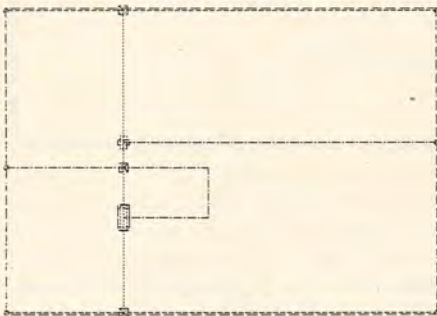
Typ 1 är den traditionella, slumpmässiga MOS LSI-typen. Layoutens enda mål är att spara kiselnya. Metoden har flera kritiska moment som vid manuell överföring till geometrisk layout från kretsschema och vid digitalisering av det geometriska mönstret. CAD-hjälpmiddel behövs för konstruktionsregelkontroll och konstruktionsverifiering.

Typ 2 är den strukturerade metoden eller metoden med regelbundna cellmatriser som beskrivits av Mead och Conway och som används i större mikroprocessorer (68000, 8086 osv). Denna metod har flera fördelar.

Typ 3 är den välkända standard-cellmetoden med standardceller som alla har samma dimension i en riktning och där alla förbindningar är genomgående och passar ihop med grancellerna på två eller tre sidor. CAD-program gör sedan en automatisk placering (automatic-placing-and-routing). I Leuven har man utvecklat

två sådana program - CALMOS och CALMP med automatisk förbindning på en eller två sidor. Det finns även andra sådana program, se figur 3.

En mycket attraktiv metod att skapa grundceller är symbolisk layout med hjälp av streckdiagram (sticks). En logisk cell representerad på grind-, transistor-, streck- och masknivå visas i figur 4. Ett streckdiagram är ett till pennstreck förenklat maskschema som visar transistors, ledningars och kontaktors relativa läge i de olika masklagren. Ett sådant streckdiagram kan matas in via en interaktiv grafisk terminal. Med en uppsättning layoutregler (konstruktionsregler) skapar CAD-programmet en masklayout. Ett program minskar cellen till minimal storlek enligt layoutreglerna genom vertikal resp horisontell komprimering. Ett sådant program Cabbage (Computer Aided Building Block Artwork Generator and Editor) har utvecklats på Berkeley och vidareutvecklats i Leuven. En komprimerad strecklayout visas i figur 5. I Leuven har Cabbage, Diana och Calmp integrerats till ett system så att



Figur 5. En strecklayout komprimerad till masknivå med Cabbage.

Cabbage genererar även datafiler till Diana (eller Spice).

### Nya CAD-verktyg

Forskning och utveckling på symbolisk layout pågår för närvarande på olika ställen. Bl a kommer det ett kommersiellt program från Calma. En stor fördel är att layouten är obunden av layoutregler, ändringar i kontakthålens storlek eller oproportionell skalning av reglerna kan snabbt göras och en ny mask genereras av CAD-programmet. Kretsdata lagras alltså på en högre nivå, transistornivå istället för rektangelnivå, vilket är smidigare för kretssimulering och konstruktionsverifikation.

Digital Equipment har en omfattande katalog över CAD-hjälpmiddel tillgängliga på VAX-maskiner. Den innehåller inte bara egna program utan även sådana som tredje part utvecklat. De flesta program som nämnts i denna artikel är uppräknade, liksom layoutprogrammet Gaelic som utvecklats i Skottland, och som i Storbritannien kan utnyttjas av alla universitet genom Science and Research Councils stora satsning på LSI-teknik.

Kjell O Jeppson

# VLSI

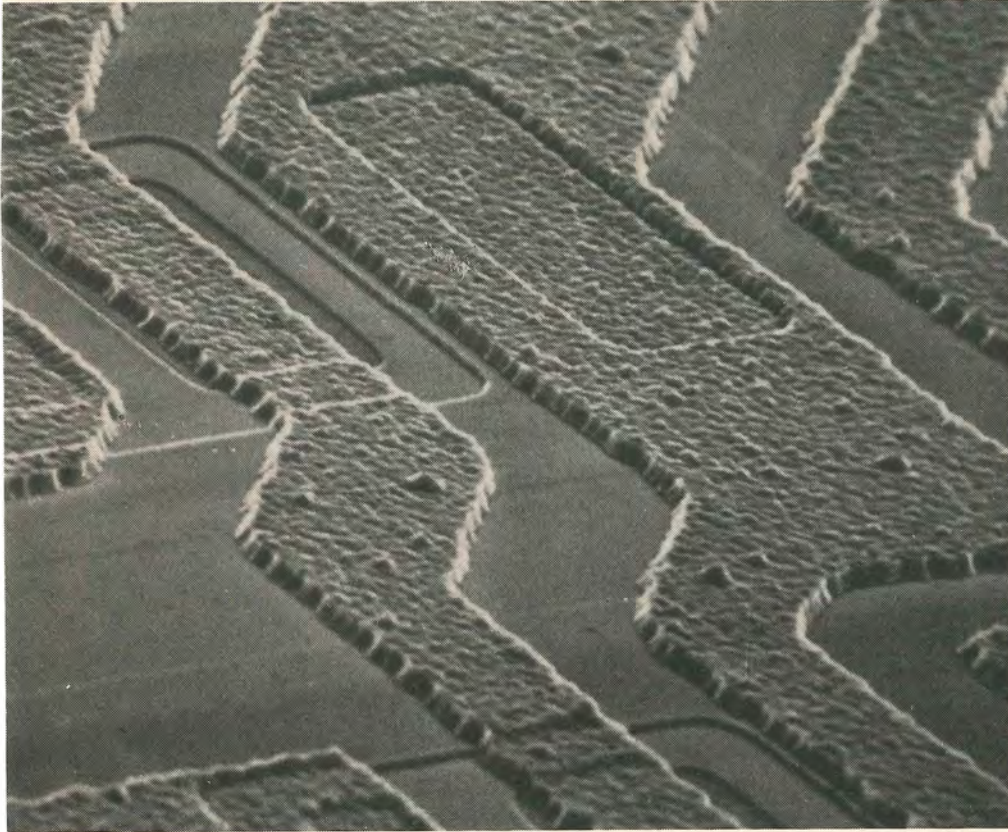
## Litografi för VLSI:



Litografi betyder stentryck. En vanlig metod är att kontaktkopiera en fotografisk film på kiselnya. VLSI kräver modernare metoder som t ex optisk projektion av hela skivan. Det ger dålig passning mellan masklagren. Bättre är att teckna ett chip i taget på skivan. Exponeringstekniken styr från UV-ljus till röntgen- och elektronstrålar.

Förutsättningen för VLSI-kretsar med 100 000-tals komponenter på en kiselbricka är den snabba utvecklingen inom den mikrolitografiska tekniken. Det traditionella sättet att överföra kretsmönstret till kiselnya är att kontaktkopiera en fotografisk plåt mot kiselnya som är belagd med ett ljuskänsligt skikt av fotoresist. Vid belysning polymeriseras resisten (vid negativ resist) så att bara obelyst resist försvinner vid framkallningen. Fotoresisten används sedan som mask då mönstret etsas ut i det underliggande skiktet som kan vara isolatorskiktet kisel-dioxid eller något av ledarskikten polykisel eller me-

# Stentryck



Figur 1. Detalj ur en integrerad krets visar kantojämnheten.

tall. De vanliga kemiska etsmetoderna med olika syror ger dålig kantskärpa p g a anisotropisk underets och håller på att ersättas av torra plasmaetsmetoder som etsar raka kanter med mycket fin kantskärpa. Se figur 1 och 2 och tabell 1.

För att överföra ett mönster till kiselytan behövs ett verktyg med fin upplösning. Det bästa verktyget är en partikelstråle, fotoner, elektroner eller joner. Mönstrets upplösning bestäms av våg-

längden som är mindre ju tyngre partikel som används. Kontaktkopiering är en billig metod med hög produktivitet och hög kantskärpa. Den minsta linjebredd hos det mönster som tecknas med kontaktkopiering bestäms av ljusvåglängden som brukar vara UV-ljus med våglängden 360... 460 nm. Nackdelen med metoden är att själva kontakten mellan mask och kiselyta lätt ger repor och resulterar i en felfrekvens som är för hög för komplicerade VLSI-kretsar med många masksteg. Metoden används dock i stor utsträckning vid tillverkning av bubbelminnen som bara kräver en mask. Andra al-

ternativ för att teckna 1  $\mu\text{m}$  linjer är betydligt dyrare.

En annan metod att få ner feltätheten är att kopiera med "mjuk-kontakt", dvs några mikrometers luftspalt mellan mask och kiselyta. Metoden får sämre upplösning men i gengäld kan hårda metallmasker med hög kantskärpa användas istället för fotoemulsionsmasker. Metoden är mycket vanlig för små kretsar med mer än 6  $\mu\text{m}$  linjebredd. En ny maskin från Canon med kortvågigt (200... 260 nm) UV-ljus ger 2  $\mu\text{m}$  linjebredd vid mjukkontakt och 0,5  $\mu\text{m}$  vid direkt kontaktkopiering.

Det bästa sättet att minska feltätheten som vid kontaktkopiering är alltför hög för stora kretsar är att projicera mönstret på kiselskivan. Den första maskinen för optisk 1:1 projicering, Micralign från Perkin Elmer, kom redan 1973. Den utnyttjade ett optiskt spegelsystem. För att få bästa upplösning projiceras bara en 1 mm bred båge av masken som då sveps över kiselskivan enligt figur 3a. Upplösningen vid sådan projektkopiering är 2... 3  $\mu\text{m}$  linjebredd och den skulle kunna pressas till 1,5  $\mu\text{m}$  med kortvågigt UV-ljus. Det kräver emellertid känsligare fotore sist med kortare exponeringstid. Metodens känslighet för damm och andra partiklar ökar också när man går ner i linjebredd. Många praktiska problem återstår innan en projektkopieringsmaskpassare för kortvågigt UV-ljus kan förverkligas, som t ex bättre linssystem, ljuskälla och masker. De två stora konkurrenterna på projektkopieringsmaskpassare är Perkin-Elmer och Cobilt.

## Wafer steppers

En nackdel med 1:1 projicering är dålig passning mellan mask och kiselmönster på stora fyrtumskiselskivor. En sådan skiva kan lätt distorderas eller böjas nä-

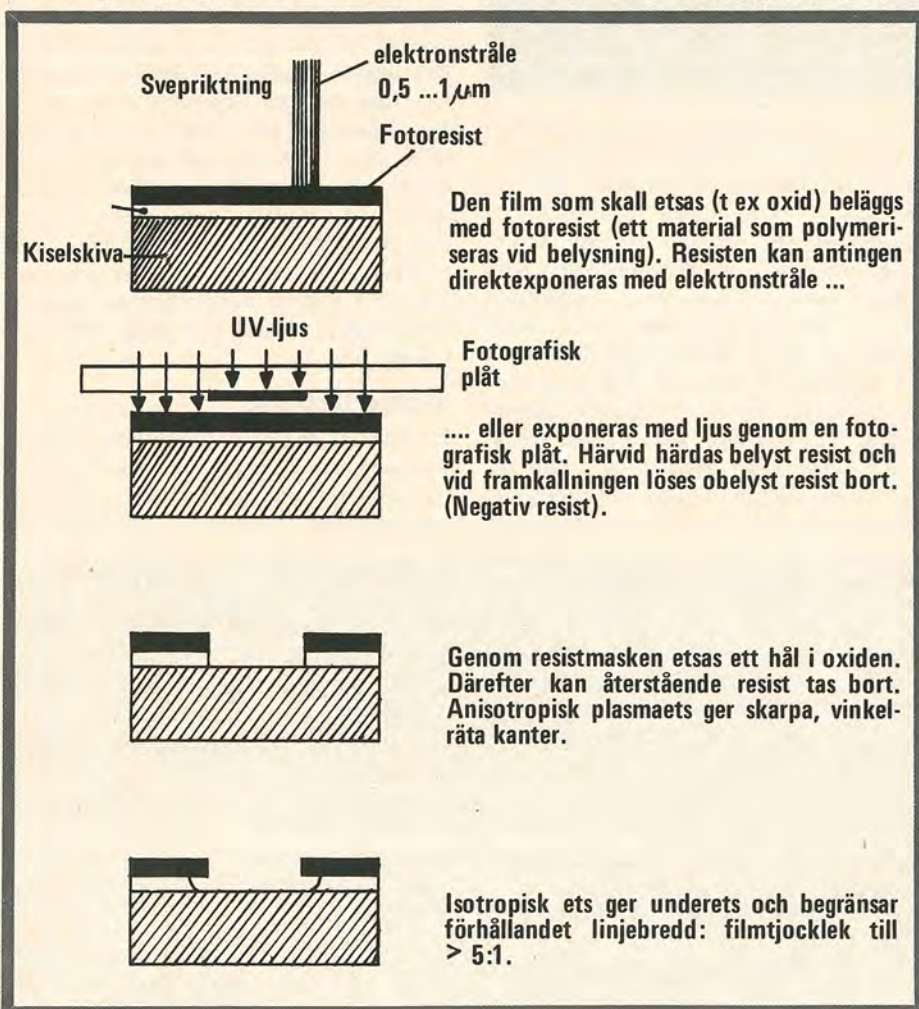
Tabell 1. Metoder för att definiera kretsmönstret.

Metod	Upplösning ( $\mu\text{m}$ )	Passnings- noggrannhet ( $\mu\text{m}$ )	Produktions- kapacitet (skivor/timme)	Pris (miljoner kronor)
Kontaktkopiering UV-ljus	1	0,125	120	0,25... 0,5
kortvågigt UV	0,5			0,8
1:1 optisk projicering	2... 3	0,5... 1	60	0,75... 1
"Direct-Step-on-Wafer"	1,3	0,25	30... 60	2,5
Elektronstråleexponering: direktskrivning på kiselskivan	0,2... 1	0,05... 0,1	1... 20	5-10
Röntgenexponering (kontaktkopiering)	0,5... 2	0,1... 0,25	10... 60	1

# VLSI

got under tillverkningsprocessen då den täcks med oxidskikt. Mönstret kanske då passar i ena kanten av kiselskivan men inte i den andra. En metod är då att projicera en bild av mellan en och fyra kretsar åt gången som förminsas 1, 5 eller 10 gånger på kiselytan. Kiselskivan exponeras över hela ytan genom att upprepade gånger flyttas i små steg enligt figur 3b. En sådan maskin kallas vanligen Direct-Step-on-Wafer (DSW), Wafer-stepper eller Silicon-Repeater. Den har bättre upplösning än projektiionsmaskpassarna, 1,5  $\mu\text{m}$  mot 3  $\mu\text{m}$  och bättre passningsnoggrannhet genom att varje krets automatiskt maskpassas, fokuseras och exponeras separat. Kapaciteten blir naturligtvis lägre i antal exponerade brickor per timma men i gengäld blir utbytet större hävdar tillverkarna av DSW. Vanligtvis används 10 gångers förminskning vilket gör maskerna okänsligare för damm. Linjebredden är 1,5  $\mu\text{m}$  med 0,25  $\mu\text{m}$  passningsnoggrannhet. I produktionen kommer DSW förmodligen att användas till de mest kritiska maskerna medan övriga kopieras genom projektiionsmaskpassning, åtminstone i den första generationen VLSI-kretsar. DSW-maskinerna är ganska stora maskiner och kostar ungefär 3 gånger så mycket som en projektiionsmaskpassare. De stora konkurrenterna

Figur 2. Mikrolitografiska tillverkningssteg i planarteknik. Metodens noggrannhet bestäms av ljusvåglängden och etsmetoden.



på DSW är GCA-David Man, Electromask och Optimetrix.

## 6 % VLSI-kretsar

Ungefär 6 % av den kiselyta som exponerades 1980 krävde en upplösning av minst 3  $\mu\text{m}$ . Marknadsundersökningsföretaget Mackintosh anger den totala marknaden för exponeringsutrustning till ca 1,3 miljarder kronor 1980. Andelen wafer-steppers är ca 30 %. I sin prognos för 1985 anger man att, samtidigt som totalt exponerad kiselyta kommer att växa, kommer andelen VLSI-kretsar att öka från 6 till 50 %. 1985 kommer 1 % av marknaden att vara kontaktkopieringsutrustning för diskreta komponenter, 24 % projektiionsmaskpassare och 76 % wafer-steppers. Marknaden uppskattas till 7 miljarder kr.

Rapporten från Mackintosh förutsäger inte samma expansiva utveckling för utrustning för direktskrivning med elektronstråle. Denna teknik tror man endast kommer att användas vid tillverkning av specialkretsar i små serier. Det beror på utrustningens höga kostnad i förhållande till dess låga produktionskapacitet. Efterfrågan kommer att ligga på ca 10 maskiner/år vid 1985. Utvecklingen av elek-

tronstråleutrustning kommer också att hämmas av konkurrensen från röntgenexponeringssystem som beräknas bli kommersiellt tillgängliga före denna tidpunkt. Dessa tror man kommer att vara ca fem gånger billigare.

Elektronstråle- och röntgenexponeringssystem är de två alternativen för VLSI-kretsar med submikrona linjer. Sansade bedömare tror knappast att vi kommer att få se sådana kretsar i större skala under hela 80-talet även om forskningsverksamheten redan idag är intensiv och stora summor satsas t ex i USAs VHSIC-(Very High Speed Integrated Circuits)-program för militära kretsar. På Hewlett & Packard uppger man t ex att man redan satsat flera "manårhundrade" på sitt elektronstråleexponeringssystem.

## Elektronstråleexponering

Elektronstråleexponering används idag framför allt för att göra masker som sedan används tillsammans med optisk fotolitografi. Direkt elektronstråleexponering av resisttäckta kiselskivor är idag huvudsakligen en laboratoriemetod för prototyper i mindre serier. Metoden används av IBM för att snabbt lägga ut ledningsmönstren mellan olika celler i förtillverkade halvfabrikatkretsar (master-slices).

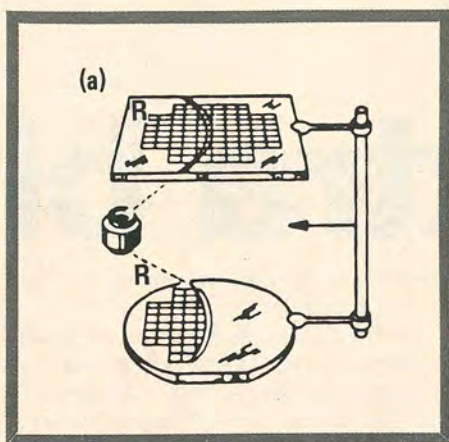
Texas Instruments använder elektronstråleexponering i sin militära 16 bitars I<sup>2</sup>L-processor 9989E. Men man kommer här att blanda elektronstråleexponering med optisk exponering för att förbilliga tillverkningen i större serier.

IBM är nu inne på sin tredje generation elektronstråleexponeringsmaskiner. EL-3 är en snabb maskin som kan teckna 1  $\mu\text{m}$  linjer på upp till 20 skivor/timma. IBM kommer dock fortfarande att blanda elektronstråle- med optisk exponering så länge man inte passerat 1  $\mu\text{m}$ -vallen. Man räknar med 30 ... 40 % elektronstråleexponering och resten optisk exponering av mindre kritiska masker. Först när man går under 1  $\mu\text{m}$  linjebredd måste man helt gå över till elektronstråleexponering.

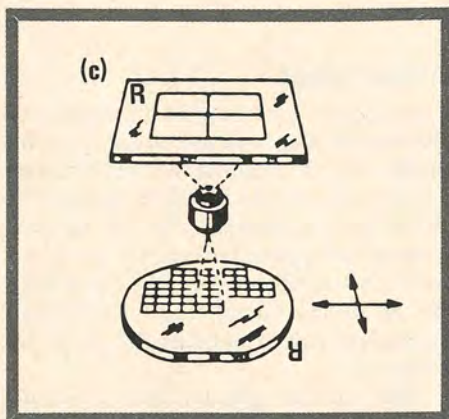
Också Hewlett & Packard annonserar att man utvecklat en mycket snabb elektronstråleexponeringsutrustning. Den klarar en linjebredd på 0,5  $\mu\text{m}$  med en passningsnoggrannhet på 0,125  $\mu\text{m}$ . Kapaciteten är måttlig - den klarar 5 kiselskivor i timmen. Men då är kretsarna mycket komplexa - 5x5 mm<sup>2</sup> med så många som 1 350 000 transistorer.

Metoden att direktexponera kretsar med elektronstråle har alltför låg produktionstakt jämfört med optiska metoder för att passa i serieproduktion. För tillverkning av maskoriginal är metoden dock snabb. Det går betydligt snabbare att elektronstråleexponera masken för en VLSI-krets än att tillverka den med en optisk mönstergenerator. Fördelen är naturligtvis dessutom den fina upplösningen som medger snäva designregler med bibehållen tillförlitlighet.

Dagens elektronstrålemaskiner an-



Figur 3a. Projektionsmaskpassare av typ Micralign.



Fibur 3b. Direct-step-on-wafer med M:1 förminskning.

vänds också huvudsakligen för masktillverkning. De vanligaste kommersiellt tillgängliga maskinerna kommer från ETEC och Varian och bygger på det utvecklingsarbete som gjorts på Bell Labs. Dessa maskiner avöker masken linje för linje och exponeringen sker med en magnetiskt kontrollerad, smal, fyrkantig elektronstråle.

### Röntgenlitografi

Mycket bra upplösning får man om plasmaetsade masker, tecknade med elektronstråle exponeras med röntgenstrålning. Det aktuella våglängdsområdet är 4 . . . 8 Å. Röntgenstrålningen alstras då t ex en aluminiumskiva beskjuts med en elektronstråle. Att alstra röntgenstrålning är ingen särskilt effektiv process utan den kräver mycket effekt som sedan bara måste kylas bort. Ofta måste målytan som utsätts för elektronstrålen rotera för att fördela värmen. Utvecklingen av röntgenexponering drivs hårt på Bell Labs som nu utvecklat en ny maskin med ett fast koniskt palladiumtarget för mer stabil röntgenstrålning med 4,37 Å våglängd. Eftersom intensiteten hos röntgenstrålningen är ca 3 storleksordningar mindre än vanligt UV-ljus fordras känslig fotore-sist. Ofta används mycket tunna resist-skikt på ca 0,3  $\mu\text{m}$ .

För att "jämna ut" kiselytan så att detta tunna resistskikt ska bli heltäckande

används ofta flera underliggande resist-skikt. Endast det yttersta är känsligt för strålningen medan de övriga "exponeras" genom etsning i syreplasma med hög kantskärpa. Som mask används ett dubbelskikt av bornitrid/polyimid förstärkt med en Pyrex-ring. Maskerna måste vara mycket tunna, 2 . . . 10  $\mu\text{m}$ , för att inte absorbera för mycket strålning. Mönstret bestäms av ett 0,7  $\mu\text{m}$  tjockt guldsikt som absorberar strålningen. Maskerna och kontrollen av dessa är det stora problemet med röntgenexponering. Bells maskin har potential att klara upp till 75 kiselskivor per timma. Den användbara upplösningen är 0,25  $\mu\text{m}$ .

Ett annat röntgenexponeringssystem presenteras av NTT-Musashino i Japan. Det klarar en linjebredd på 0,5  $\mu\text{m}$  och har en kapacitet på 5 tretumsskivor i timmen. Den lägre kapaciteten beror på att exponeringen sker genom step-and-repeat av 4,9 eller 16 kretsar åt gången för att bättre kompensera för distorderade kiselskivor. Den effektiva maskytan har en diameter på 30 mm så ganska stora kretsar kan exponeras. Det är mindre än Bells system som byggts för att exponera hela kiselskivan på en gång så systemet har kunnat göras mer kompakt. Röntgenstrålningen är 7 Å Si-K strålning och maskerna av kiselnitrid/guld. Avståndet mellan mask och kiselskiva är 10  $\mu\text{m}$  vid exponeringen.

Kjell O Jeppson

# VLSI

## Till ljudet av säckpipor . . .

**. . . hölls den första konferensen helt ägnad åt VLSI. Platsen var Edinburgh i Skottland. Vår fackredaktör Kjell O Jeppson skriver lyriskt om miljön kring konferensen. En nog så viktig detalj för att behålla helhetssynen. Deltagarna på VLSI -81 rör sig ju annars i ett mikrokosmos.**

De flesta konferenser som behandlar olika aspekter av integrerad kretsteknik har den senaste tiden infört speciella VLSI-seminarier. VLSI-(Very Large Scale Integration)-tekniken är en kraftfull teknik för integration av hela system på en enda kiselbricka. Hur skall vi kunna hantera och till fullo utnyttja denna teknik som kommer att ställas till vårt förfogande? Detta var temat för den första "egna" VLSI-konferensen VLSI -81 som hölls i Edinburgh 18-21 augusti.

Miljön för konferensen var den bästa →

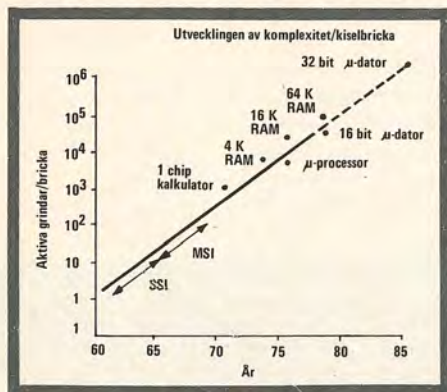


tänkbara – ett Edinburgh i festivalstämning med "pipes and drums"-parader på the Military Tattoo och ett enormt utbud av teater och musik. Den vetenskapliga miljön var också gedigen. Edinburgh har ett aktivt universitet och en stor datorteknikinstitution. Man har också ett eget tillverkningslaboratorium för integrerade kretsar i NMOS med polykiselstyre. Det är ett av Storbritanniens två stora universitetslaboratorier med kraftigt stöd från Science & Research Council. Härifrån levererar man Multi-Project Chip till de övriga universiteten.

Över huvudtaget satsar Skottland kraftigt på att dra halvledarindustri till landet. Dalen mellan Glasgow och Edinburgh har alla möjligheter att bli Storbritanniens egen kiselödal. Här finns redan Hughes Microelectronics, National Semiconductors, Motorola och General Instrument medan Nippon Electric (NEC) är på väg dit. En del småindustrier börjar också byggas upp tex för masktillverkning o dyl.

## Stort intresse

Konferensen tilldrog sig stort intresse



Figur 1. Enligt Gordon Moore (Intel) fördubblas komplexiteten varje år.

och hade samlat mer än 200 deltagare, varav 5 från Sverige. Som sig bör inleddes konferensen av Carver Mead, professor på Caltech och en omdebatterad VLSI-teknikens apostel. Enligt Carver Mead är VLSI ett konstaterande om komplexitet snarare än om transistorstorlek, linjebredd och kretsprestanda. VLSI är definitionen på en teknologi som är kapabel att skapa så komplicerade system att problemet med att hantera komplexiteten överskuggar alla teknologiska problem. Att konstruera en mikroprocessor idag motsvarar i mönsterkomplexitet gatunätet i en storstad av Los Angeles storlek. Morgondagens VLSI-kretsar motsvarar hela USA täckt med ett vägnät med 200 meter mellan vägarna. För att utnyttja potentialen hos denna komplexitet måste helt nya konstruktionsmetoder och systemorganisationer införas. En unik innovation kan snabbt ge nya företag ledningen inom VLSI-tekniken. Huvudriktningen är klar, hierarkisk organisation och strukturerade konstruktionsmetoder.

# VLSI

Helt klart går det snabbare att på kartan täcka USA med vägnät av "Manhattan-typ" än med oregelbundna, kurviga vägar.

## En framtid i MOS

På en framtid i MOS trodde I M Barron, en av grundarna av det nya engelska företaget Inmos! Att starta ett nytt företag är intimt förknippat med framtidsprognoser, att identifiera tillfällen när teknologin förändras. Att Inmos arbetar med nya mikroprocessor-konstruktioner framgick ganska klart. Man utvecklar bl a egna simuleringsprogram som arbetar med kretslogik och timingsimulering beskrivna i ett internt hårdvaruspråk (HDL).

Barron gjorde flera intressanta påpekanden och var ganska kritisk mot de nya 32 bitars mikroprocessorerna som han tyckte var konstruerade i rokokostil. Det framgick inte helt klart om det var för att de lägger an mer på ett sirligt inre i form av layout än på yttre datorkapacitet eller om han tyckte konstruktionerna var mer än barocka.

Barron gick också igenom begränsningarna av komplexiteten, linjebredd, brickstorlek, teknologi, kapital, användarna och konstruktionsmetoderna. Det kommer att ta lång tid innan vi får kretsar med 1 µm linjebredd, det blir knappast under 80-talet. Istället kommer vi att få se allt större bricktyper. Vi kommer att få se redundans inbyggd i kretsarna och vi kommer att få en övergång till CMOS för att hålla nere effekten. Andra hinder för en större komplexitet är de stora kapitalinvesteringarna som idag krävs i en halvledarindustri. Användarna vill inte heller ha större komplexitet på länge än. Det tar tid att öppna nya marknader.

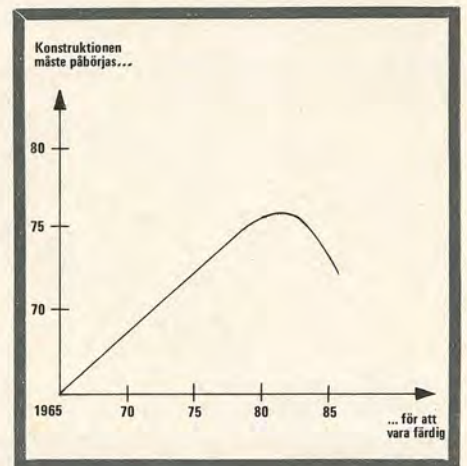
Komplexiteten är också begränsad av konstruktionsmetoderna. Att komplexiteten hittills fördubblats varje år brukar kallas Moores lag, se figur 1. Denna utveckling kommer snart att brytas p g a "Barrons övre gräns" som visas i figur 2. Kurvan visar vilket år en konstruktion måste påbörjas som funktion av det år den skall vara klar och samtidigt ligga på Moores kurva med optimal komplexitet. 1965 kunde man börja samma år som konstruktionen skulle vara klar. Kretsarna innehöll ganska få transistorer. Allt eftersom komplexiteten ökar kräver konstruktionen också allt längre tid. En konstruktion med optimal komplexitet idag skulle ha påbörjats 1976, medan en optimal komplexitet år 1982 skulle ha påbörjats



1975, samma år man började med 1979 års krets!

## Vid skiljevägen

Craig Mudge, tidigare vid Digital Equipment, numera verksam i Australien, talade om VLSI vid en skiljeväg. Ett viktigt område är utveckling av bättre CAD-verktyg för sammansättning av chips från färdiga grundceller. Mycket få sådana hjälpmedel finns idag förutom "automatic-place-and-route" och vissa embryon till sk kiselkompilatorer. En intressant lösning är DEC's Chip Assembler, se figur 3, där man har en gemensam databas för layout, krets- och logiksimulering osv. Grundcellerna skapades med ett Calma-system som var anslutet som en liten del av det totala systemet. Komposition av kiselbrickan sker sedan med Chip Assemblern som anropar databasen via en planlösning för kretsen. För att demonstrera



Figur 2. Enligt Barrons övre gräns skulle framtidens VLSI-kretsar börjat konstrueras för länge sen för att bli klara i tid. Om vi inte får bättre CAD-hjälpmiddel . . .

systemet konstruerades en flyttalsprocessor med 77 000 transistorer med en tidsvinst i storleksordningen en faktor 10 jämfört med konventionella system.

Andra viktiga frågor är konstruktionsmetodik. Hur gifter man ihop traditionellt åtskilda discipliner som datorarkitektur, logik- och krets konstruktion och layout? Hur skall man organisera en konstruktionsgrupp så att flera konstruktörer effektivt samarbetar med ett optimalt utnyttjande av kiset som följd? Man måste också ta hänsyn till bristen på utbildade konstruktörer. Ett viktigt steg är startandet av tvärvetenskapliga VLSI-projekt vid flera universitet.

En annan viktig fråga är etablerandet av ett rent gränssnitt mellan konstruktion och tillverkning av integrerade kretsar. Framgången med Multiprojekt chip (MPC) i USA visar att det är klart möjligt att skilja konstruktion och tillverkning. Flera amerikanska halvledartillverkare har också lagt konstruktionscentra i Europa för att få större tillgång till konstruktörer. Dr Mudge förutspådde också en kraftig utbyggnad av antalet "kiselmedjor", öppna halvledartillverkare som tillverkar kretsar efter färdiga masker eller mönstertejp.

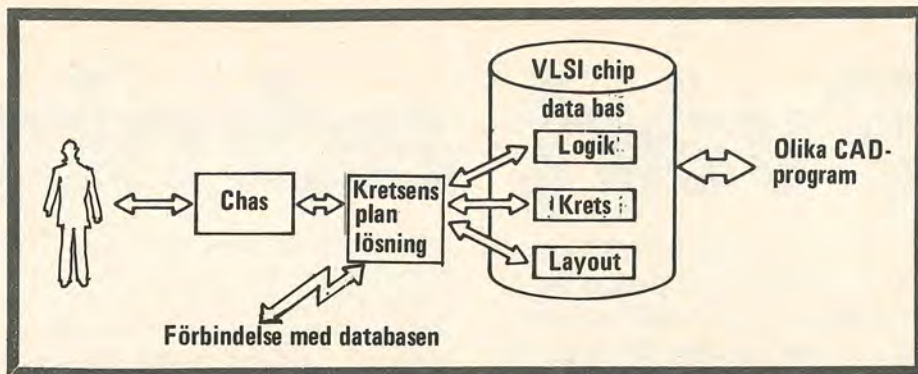
### Från 27 kW till 0,5 W

Det fjärde av de inbjudna föredragen hölls av *MW Larkin* från *Plessey*. Han påminde om att det faktiskt nu är 20 år sedan planartekniken kom. Vilken utveckling går vi tillmötes med VLSI-tekniken om vi projicerar motsvarande prestandaförbättring på framtiden? Med 1  $\mu$ m linjebredd är det fullt möjligt att integrera en stor dator som IBM 370 på ett chip och sälja den för 15 kr. Men en viktig fråga är förstås hur man testar en sådan krets. VLSI-tekniken är så kraftfull att det överstiger vår förmåga att såväl konstruera som testa VLSI-kretsar, kanske också att använda? Tänk vilken utveckling från 50-talets datorer på  $5 \times 3 \times 1,5$  m<sup>2</sup> med 4 000 vakuumrör, 10 km ledningar och 27 kW effektförbrukning. Priset var 2 MSkr och MTBF bara 30 minuter. Idag drar motsvarande dator på en kiselbricka mindre än 1 W och priset är några hundralappar. Tillförlitligheten har också ökat väsentligt!

### Hetsig debatt

Totalt omfattade konferensen 35 olika föredrag omfattande allt från "logiska bubblor", algebraisk design av VLSI-kretsar, symbolisk layout av kretsar, som är obunden av designregler, till optimering av layout av VLSI-gate-arrays och 32 bitars CPU-chip.

Konferensen omfattade också tre, stundtals hetsiga, paneldebatter. Den första behandlade relevansen av abstrakta matematiska metoder för VLSI-system konstruktion. Den behandlade tänkbara teorier för hur man gör ett korrekt pro-



Figur 3. Digital Equipment samarbetar intensivt med amerikanska universitetet och har arbetat med en Chip Assembler (Chas) som ett flernivå verktyg för VLSI-konstruktion.

gram eller en korrekt layout snarare än hur man rättar och testar ett felaktigt program eller layout.

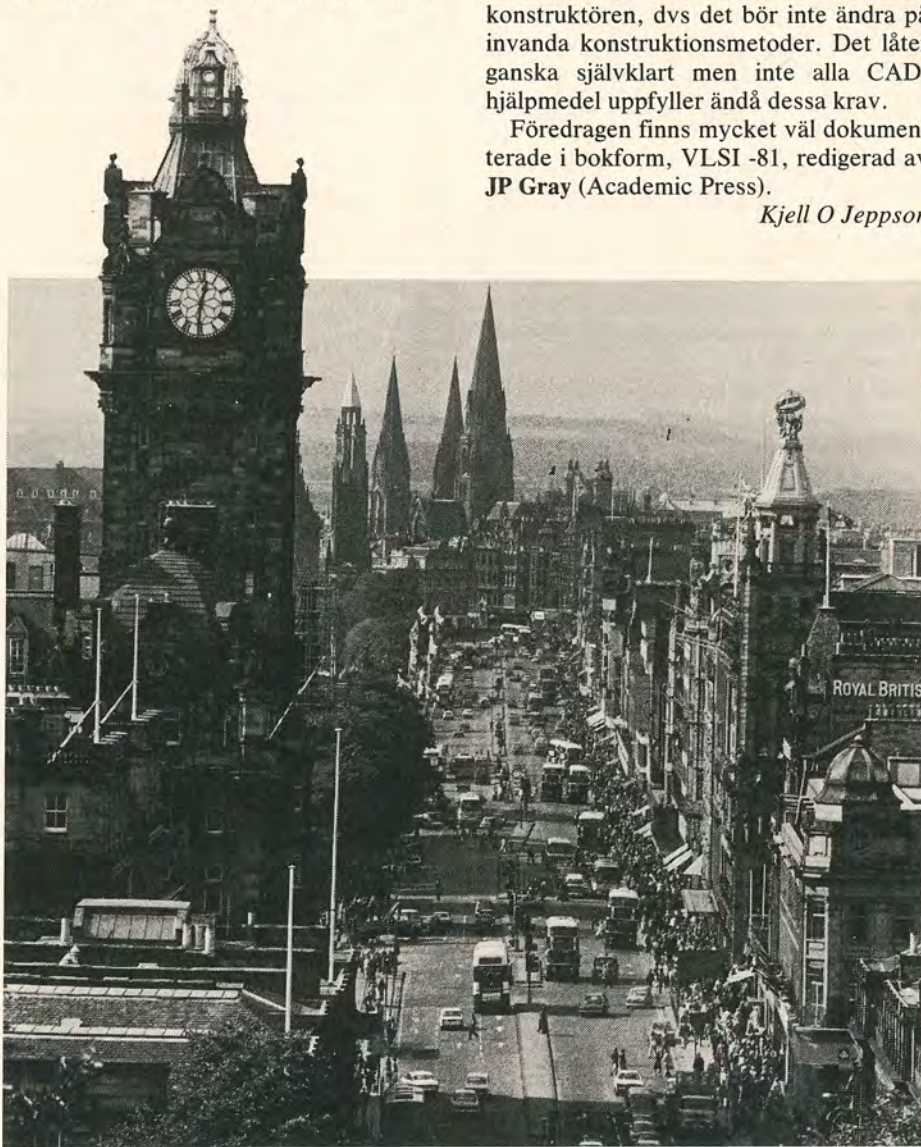
Betydligt mer konkret och hetsig blev debatten om "silicon foundries" eller "kiselmedjorna". Här har man olyckligt valt ett lite nedsättande ord som får ragen att resa sig på de flesta halvledartekniker. Vad det handlar om är att försöka etablera ett rent gränssnitt mellan systemkonstruktion och chiptillverkning. Är det möjligt att fastställa så enkla och allmänna konstruktionsregler att systemkonstruktörerna tar över kretskonstruktionen och bara skickar färdiga masker

till "kiselmedjan"? En bättre jämförelse är kanske färgfotografering som vem som helst klarar – man bara skickar filmen för framkallning utan att veta något om de avancerade teknologiska steg som är inblandade. Systemkonstruktörerna drömer naturligtvis om att gå ytterligare ett steg och ha en kiselkompilator direkt få fram en krets från en högnivåbeskrivning. Det är möjligt att få fram polaroidfoto några sekunder efter exponering, direkt ur kameran!

Den tredje paneldebatten behandlade vilka krav man skall ställa på ett bra CAD-hjälpmiddel. Viktiga krav som framfördes är ett CAD-hjälpmiddel bör vara minst lika effektiva som manuella system. De bör också hjälpa konstruktören att fatta beslut och helst också utbilda honom i konstruktion. Ett CAD-hjälpmiddel bör också vara intuitivt riktigt för konstruktören, dvs det bör inte ändra på invanda konstruktionsmetoder. Det låter ganska självklart men inte alla CAD-hjälpmiddel uppfyller ändå dessa krav.

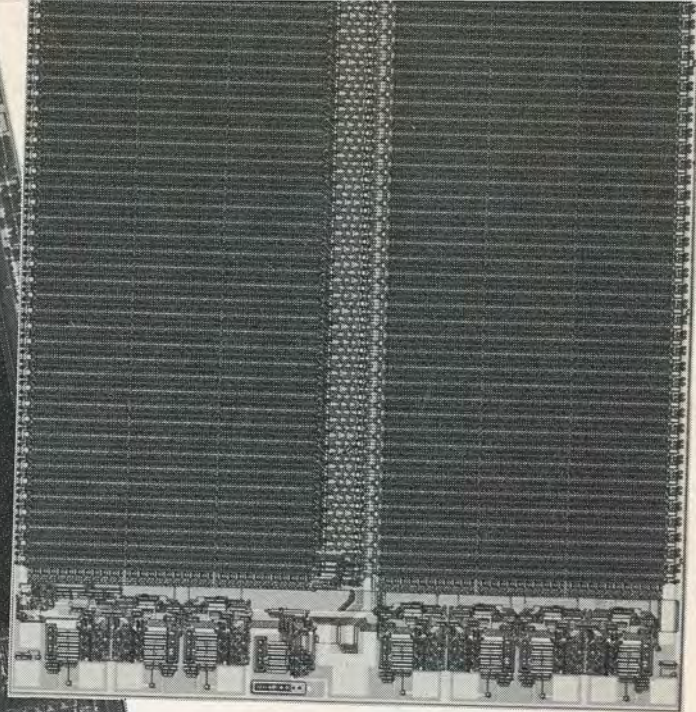
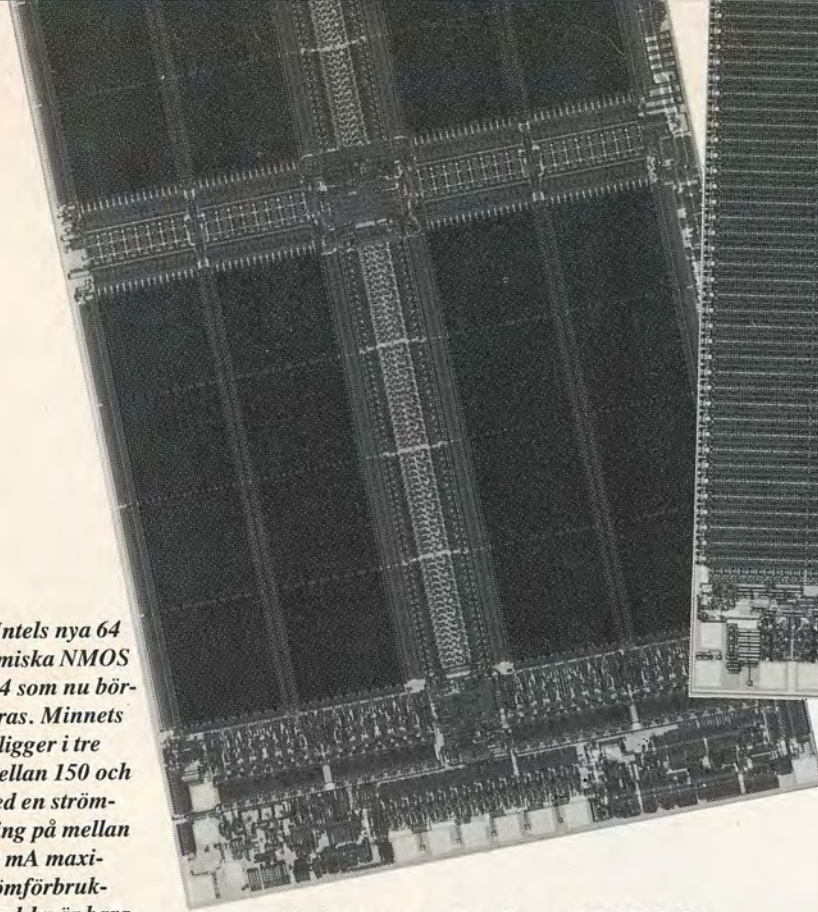
Föredragen finns mycket väl dokumenterade i bokform, VLSI -81, redigerad av *JP Gray* (Academic Press).

*Kjell O Jeppson*





*Figur 1. Intels nya 64 kbit dynamiska NMOS RAM 2164 som nu börjar levereras. Minnets accesstid ligger i tre klasser mellan 150 och 250 ns med en strömförbrukning på mellan 60 och 50 mA maximalt. Strömförbrukning i stand-by är bara 5 mA.*



*Figur 2. Intels nya 16 kbit statiska NMOS-RAM 2167 som nu börjar levereras. Minnet finns i fyra snabbhetsklasser från 55 till 100 ns accesstid, med något varierande effektförbrukning. Typisk maxförbrukning är 125 mA i arbete och 40 mA i stand-by. Minnet är tillverkat i Intels HMOS II process med dubbla polykiselledare.*

## Dynamiska RAM: 64 kbit i produktion –

**Det har förutspått att kapaciteten på dynamiska RAM ska fördubblas varje år. Nu verkar det som om takten har minskat, men fortfarande kommer rapporter om större och större minnen. Senaste nytt är idag 256 kbit dynamiska ram.**

Under 1981 väntas försäljningen av 64 kbit dynamiska MOS RAM skjuta fart. Marknaden uppskattas till \$100 miljoner och kommer att tiodubblas på några år. I år kommer också 16 kbit statiska MOS RAM med 55 ns accesstid – utmärkta prestanda. Men denna nya generation minnen har knappt hunnit ut på marknaden förrän forskningslaboratorierna presenterar nästa generation. Vår fackredaktör Kjell O Jeppson har tittat närmare på några minnen, däribland 256 kbit dynamiska RAM och 64 kbit statiska RAM.

Intels Gordon Moore gjorde en gång en prognos att komplexiteten hos MOS-minnena i genomsnitt skulle fördubblas varje år. Men de många konstruktionssvårigheterna med 64 kbit dynamiska RAM tycks ha brutit Moores prognos. Enligt tidigare bedömningar skulle 1981 bli året när 64 kbit RAM blev billigare i pris-per-bit än 16 kbit RAM. Istället blir 1981 året när försäljningen av 64 kbit minnen kommer i gång på allvar. Enligt marknadsundersökarna Dataquest levererades 1979 16 000 64 kbit RAM från huvudsakligen Motor-

ola, Texas och Fujitsu. Intel, som annars brukar vara först med nya minnen, annonserar nu att leveranserna av deras 64 kbit RAM kommer igång första kvartalet 1981. Intel bedömer årets marknad till \$100 miljoner och att denna kommer att tiodubblas på några år.

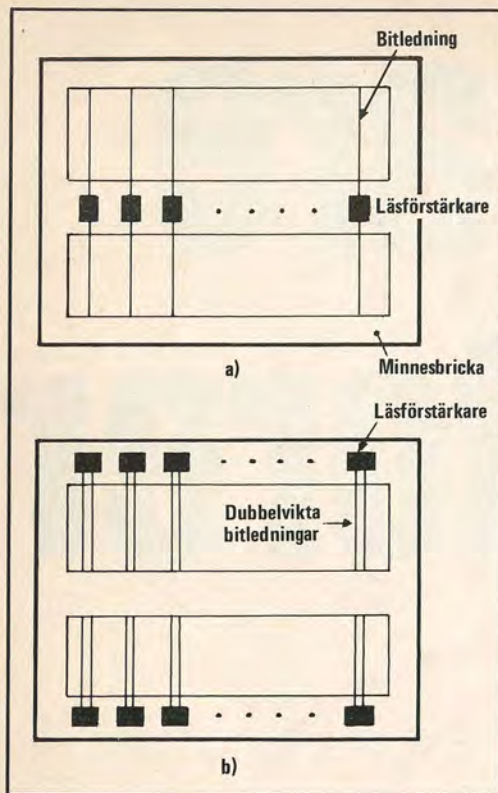
### Nya minnen på väg!

Men det kommer andra nyheter också. Även de statiska minnena blir mer komplexa. Intel t ex, annonserar nu 16 kbit statiska RAM med bara 55 ns accesstid, se figur 2. Detta minne tillverkas i Intels HMOS II (High-performance MOS)-process med dubbla polykiselledare och bara 2  $\mu$ m kanallängd i transistorerna. Det blir en hård konkurrent till Fairchild's bipolära ECL-minnen i Isoplanar-S teknik. Det kommer dessutom en effektsnål konkurrent från Hitachi i Hi-CMOS-teknik som drar mindre än 1 mW i standby.

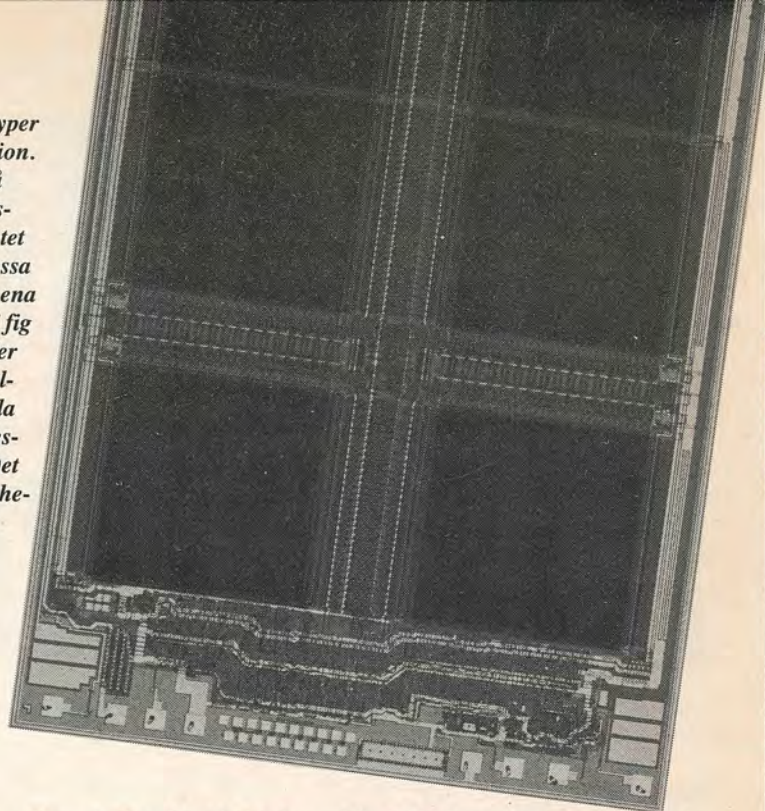
En annan nyhet är att Intels båda minnen innehåller extra minnesceller (3 rader i 2167 och 4 rader och kolumner i 2164) som kan plockas in om någon av de ordinarie minnescellerna skulle vara defekta. Det är ungefär som bubbelminnena, som innehåller extra slingor. Denna metod förbättrar utbytet vid tillverkningen avsevärt.

Men denna nya generation minnen är knappt ute på marknaden förrän minnen i nästa generation börjar presenteras på konferenser och i forskningsrapporter. Både 256 kbit dynamiska RAM och 64

**Minnen**  
**SPECIAL**



Figur 3. Två olika typer av minnesorganisation. Minnet är delat i två halvkor. Till varje läsförstärkare är anslutet två bitledningar. Dessa kan antingen gå till ena minneshalvan som i fig a) (open bit-line) eller vara dubbelvikta (folded bit-line) och båda gå till samma minneshalva som i fig b). Det sägs minska känsligheten mot  $\alpha$ -strålning.



Figur 4. Hitachis 64 kbit dynamiska RAM har en typisk accesstid på 120 ns och drar 170 mW. Brickan är  $3.43 \times 7.52 \text{ mm}^2$  och belagd med ett speciellt skikt för att minska inverkan av  $\alpha$ -partikelstrålning. Minnet är delat i 8 block för att förkorta tidsfördröjningen i ordledningarna tillverkade i polykisel.

# 256 kbit under konstruktion

kbit statiska RAM har presenterats. Dessutom har kraftigt miniaturiserade minnesceller som skulle möjliggöra 512 kbit dynamiska RAM presenterats. Vi ska titta närmare på några av dessa minnen.

## En matningsspänning

De största leverantörerna av 16 kbit dynamiska RAM idag är Mostek och Nippon Electric (NEC). De flesta 16 kbit dynamiska RAM som säljs har idag tre matningsspänningar. Intel är ett av de företag som har valt att komma med 16 kbit minnen med bara en matningsspänning, 5 V, i sitt 2118 innan man släpper ut 64 kbit minnen. Standard för dessa minnen kommer nämligen att bli bara en matningsspänning vilket ställer stora krav på konstruktörerna. De flesta tillverkarna kommer att alstra en substratsspänning på -2 V internt på brickan. Man använder också en bootstrapping-teknik för att få upp spänningen på ordledningarna så att man kan få bort tröskelspänningsförlusten i minnescellens selecttransistor och lagra full spänning över lagringskapacitansen.

Problem har kretskonstruktörerna också haft med störningar från alfapartikelstrålning (se Elteknik 1978:11). Känsligheten för störningar ökar när man minskar celldimensionerna och därigenom antalet elektroner som lagras. Det har medfört flera nya kretskonstruktioner - nästan varje tillverkare har sin lösning på kretslayout och minnescell. De flesta

tillverkare täcker också sina kiselbrickor med något skyddande skikt - polyimid eller silikon - mot alfapartiklar.

Den traditionella minnesorganisationen visas i figur 3 med minnet delat i två hälften åtskilda av en rad med differentiella läsförstärkare. Varje läsförstärkare har två bitledningar anslutna, vanligtvis en från varje minneshalva som visas i figur 3a. För att få bättre störmarginaler, mot t ex alfapartiklar har en del tillverkare nu dubbelvikta bitledningar (folded bitlines) som båda går till samma minneshalva, figur 3b. Med båda bitledningarna parallella är tanken att båda utsätts för samma störning som då inte känns av i den differentiella läsförstärkaren. En av de tillverkare som har dubbelvikta bitledningar i sitt 64 kbit RAM är Hitachi, vars minne visas i figur 4. Hur många cyklers refresh minnet får bestäms av hur många minnesceller som är anslutna till samma läsförstärkare. Både 128 och 256 cyklers refresh förekommer, men vid 256 cykler har man förlängt cykeltiden till 4 ms. Det ställer onekligen hårda krav på minnets lagringskapacitet.

## Små minnesceller

För att ett 64 kbit minne ska få plats på en rimligt stor kiselbricka får minnescellen nu inte vara större än  $200 \mu\text{m}^2$ . Linjebredder på  $3.5 \mu\text{m}$  blir ett nödvändigt krav, med de fordringar det ställer på både konstruktörer och fotolitografisk utrustning. Med mindre minnesceller minskar

också lagringskapacitansen som därigenom kommer att innehålla färre elektroner. Minnescellen i ett dynamiskt minne är en s k en-transistorcell, med en selecttransistor för val av cell vid adressering och en lagringskapacitans. Den vanligaste layouten med dubbla polykisel-skikt visas i figur 5. Denna cell har varit med sedan 16kbit minnena. En annan layout på sin minnescell använder Hitachi i sitt 64 kbit minne. Cellen har en yta på bara  $144 \mu\text{m}^2$ .

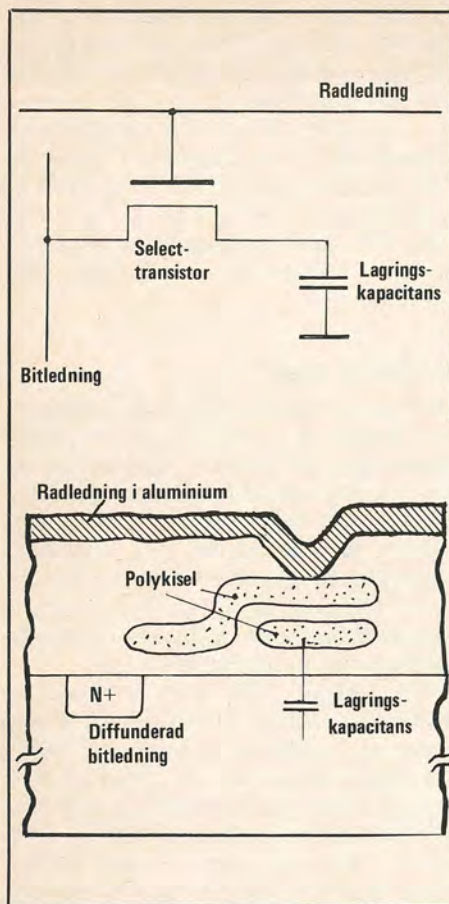
## Prototyp för 256 kbit

Nästa generation dynamiska RAM kommer att bli på 256 kbit. Ett par sådana minnen har redan presenterats. Det avgjort intressantaste kommer från NEC-Toshiba. Detta minne har en accesstid på 160 ns (350 ns cykeltid) och 250 mW effektförbrukning.

Minnescellen är i princip den samma som i figur 5, men med bitledaren i polykisel. Minnescellen är krympt till  $5,7 \times 12,5 \mu\text{m}^2$  med  $1,5 \mu\text{m}$  designregler. Det är 1/6 av ytan i 16 kbit minnet. Minnesytan totalt är ganska stor, brickan är på  $4,8 \times 8,6 \text{ mm}^2$ .

Minnet är organiserat i två halvkor om  $128 \times 512$  bitar med 512 läsförstärkare. Minnesuppriskning sker med 256 cykler.

Ett annat 256 kbit minne har presenterats vid forskningslaboratoriet vid NTT-Musashino Electrical Communications Laboratory. Det är förmodligen dock bara en forskningsprototyp som aldrig kom-



Figur 5. En typisk en-transistorcell för dynamisk minneslagring.

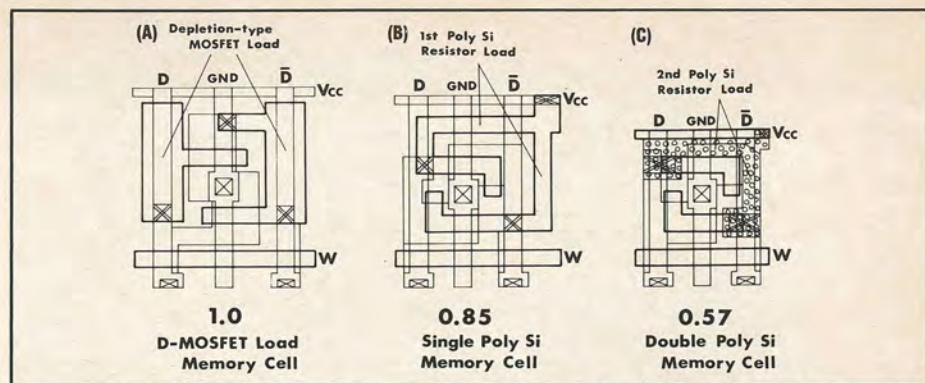
mer att produceras. Det verkar snarare vara så att man vill känna sig för på de krav man måste kunna möta i framtida tillverkningsteknik. De speciella problem man tacklat är teckning av kretsmönstret med elektronstråle direkt på kiselbrickan för att göra 1  $\mu$ m linjer, lågresistiva molybden-ledare för snabbare minne samt bättre utbyte genom redundanta minnesceller som kan programmeras in elektriskt ifall någon ordinarie cell inte fungerar.

Minnet har 160 ns accesstid och drar 150 mW. Brickytan är på 5,8x5,9 mm<sup>2</sup>.

### Ny teknik

Det smala linjemönstret har tecknats direkt på kiselkivan med elektronstråle. Denna är fyrkantig och varierbar mellan 1 och 12,5  $\mu$ m i steg om 0,1  $\mu$ m. Varje krets sys ihop av 3x3 st 2x2 mm<sup>2</sup> rutor som passats sinsemellan med  $\pm 0,2$   $\mu$ m noggrannhet i samtliga steg. Detta gör ju exponeringsmetoden synnerligen långsam. Alla mönster har sedan plasmaetsats med en underrets mindre än 0,05  $\mu$ m.

Minnet är organiserat i två block om 128 rader och 512 kolumner. Dessutom finns inlagt 4 extra rader och 4 extra kolumner med minnesceller som kan programmeras in elektriskt vid testningen av minnet. Man har använt en ny lateral programmerbar npn-struktur i polykisel. Det finns också 4 extra läsförstärkare förutom de 512 ordinarie. Läsförstärkaren är kapacitivt kopplad och mycket känslig och



Figur 6. Jämförelse mellan tre olika statiska minnesceller med samma linjebredd men med olika typer av lastmotstånd. I fig a utgörs lasterna i de två korskopplade inverterarna av NMOS-transistorer av utarmningstyp medan lasterna i b är tillverkade som resistanser i samma poly-kiselskikt som drivtransistorernas styren. Fig c visar Matsushitas nya minnescell med lasterna i ett andra, högresistivt polykiselskikt delvis ovanpå det första. Förhållandet mellan cellernas ytor anges under till 1,0: 0,85: 0,57. D, D-bar, W, GND och V<sub>CC</sub> anger dataledningarna, radselect (Word line) samt jord och matningsspänning.

klarar  $\pm 100$  mV. Kapacitansförhållandet minnescell/bitledning är faktiskt så bra som 1/8. De redundanta kretsarna tar upp ca 10 % av minnesytan.

### 64 kbit statiska RAM

Ett annat intressant minne som nyligen presenterats är ett 64 kbitars statiskt minne från forskningslaboratoriet på Matsushita Electric. Det är ett kombinerat NMOS/CMOS-minne med en accesstid på 80 ns och en effektförbrukning på 300 mW (75 mW i power-down). Matningsspänningen är 5 V. Minnet levereras i en 28 pinnars kapsel.

Minnet utnyttjar NMOS-teknikens höga packningstäthet för minnescellerna och CMOS-teknikens effektsnålhet i avkodar- och kringlogiken. Minnescellerna består av två korskopplade inverterare i NMOS-teknik med resistiva laster i ett andra, högresistivt polykiselskikt som framgår av figur 6. På de högresistiva lasterna (25 m $\Omega$ ) drar varje minnescell bara 0,2  $\mu$ A vilket innebär att alla minnescellerna tillsammans bara drar 15 mA som också motsvarar de 75 mW effektförbrukning i power-down.

Av kretsens 31,5 mm<sup>2</sup> yta, upptar NMOS-minnescellerna 63 %. Man har därför valt en mer NMOS-kompatibel CMOS-process med N-fickor i P-typ substrat än den vanliga med P-fickor i N-typ substrat. NMOS-transistorerna ligger direkt i det lågdopade substratet vilket bl a innebär lägre parasitkapacitanser, medan

PMOS-transistorerna som bara ingår i avkodar- och kringlogiken ligger i diffunderade N-fickor.

Den nya CMOS-processen kräver 10 fotolitografiska steg och fordrar 8 maskor. Vissa komplementära steg utnyttjar samma mask med omväxlande positiv och negativ fotoresist. Sex olika jonimplantationsteg används för att forma N-fickorna, kontroll av tröskelspänning under fältoxid, samtidig kontroll av tröskelspänningen hos både N- och P-kanaltransistorerna, emitter/kollektordiffusion av N-respektive PMOS-transistorerna samt kontroll av ytresistansen hos minnescellerna. Plasmaetsning för kontroll av 2  $\mu$ m fina linjer används i alla steg utom oxidetsning (se Elteknik 81:5).

Kjell O Jeppsson

### Referenser

1. JG Posa: Dynamic RAMs - What to expect next!, Electronics May 22, 1980.
2. Technology update: semiconductors, memories, Electronics Oct 23, 1980.
3. Hiroo Masuda et al: A 5V-Only 64k Dynamic RAM Based on High S/N Design, IEEE SC-15, No 5, 1980.
4. Shigeki Matsue et al: A 256K bit Dynamic RAM, IEEE SC-15, No 5, 1980.
5. Tsuneo Mano et al: A Fault-Tolerant 256 K RAM Fabricated with Molybdenum-Polysilicon Technology, IEEE SC-15, No 5, 1980.
6. Takashi Ohzone et al: An 8Kx8 Bit Static MOS RAM Fabricated by n-MOS/ n-Well CMOS Technology, IEEE SC-15, No 5, 1980.

**Minnen**  
**SPECIAL**



*Figur 1. Intels 2816, ett 16 kbit E<sup>2</sup>PROM (Electrically Erasable Programmable Read Only Memory). Minnets accesstid är 250 ns och det drar 495 mW (132 mW i stand-by). Enstaka bytes kan programmeras om på 20 ms. Minnet är pin-kompatibelt med 2716.*

# Icke-flyktiga minnen: Nu kommer 16 kbit EEPROM!

Intel har nu släppt ut information om sitt första elektriskt raderbara, programmerbara läsminne (EEPROM – Electrically Erasable PROM). Minnet, som betecknats 2816, är ett 16 kbit icke-flyktigt minne som kan raderas byte för byte. Åtkomsttiden är 250 ns, se fig 1. Hughes Aircraft kommer med 4 och 8 kbit CMOS EEPROM som är extremt effektsnåla – mindre än 10 mW och bara 0,5 mW vid stand-by. Hitachi annonserar ett 16 kbit MNOS-minne. Så nu verkar det hända lite grand på den "icke-flyktiga minnessidan" igen!

Med icke-flyktiga minnen (Non-Volatile Memories – NVM) menas minnen som håller sin information under ansenlig tid – 10 år – även utan spänningsmatning. Ja, ibland räknas även vissa minnen med en minnestid på 30 dagar – avsedda att träda in och rädda informationen vid tillfälligt spänningsbortfall, som icke-flyktiga. Önskvärt är ju emellertid rejäla minnesmarginaler på 10 . . . 20 år, helst vid temperaturer upp till 125 °C.

## MNOS eller floating-gate

Dominerande icke-flyktiga minnen är de

**Nästa gång ni väljer programmerbara läsminnen bör ni kanske ta EEPROM:et med i jämförelsen. Vad är då ett EEPROM? Kjell O Jeppson gör här en genomgång av den nya komponenten och vad som finns på marknaden idag.**

magnetiska minnena – skivor, band, bandkassetter, magnetkort etc. Trots den integrerade kretsteknikens snabba utveckling har det hittills inte funnits något riktigt konkurrenskraftigt icke-flyktigt halvledarminne som är elektriskt ändringsbart. De vanliga, icke-flyktiga halvledarminnena idag är antingen omöjliga att radera alls (ROM, PROM) eller omständiga att radera (EPROM eller UV-PROM som raderas genom belysning med UV-ljus).

Icke-flyktiga minnen, som är elektriskt raderbara och programmerbara, kan tillverkas med två olika typer av minnesceller – MNOS eller floating-gate (Se Elteknik 1978:16 och 1979:4). Dessa minnen säljs under två olika beteckningar – EAROM eller EEPROM. Båda beteckningarna – EAROM (Electrically Alterable ROM) och EEPROM (Electrically Erasable PROM) talar om att minnena är elektriskt rader- och programmerbara. Namnen antyder också att det är omständigare att ändra informationen än att bara läsa den – det tar längre tid, kräver högre spänning och går bara att göra ett begränsat antal gånger. Minnet är alltså huvud-

sakligen ett läsminne – ROM. Beteckningen EAROM används främst av GI och NCR (National Cash Register som utvecklat flera MNOS-minnen för sina kassaregister). EEPROM anspelar i allmänhet på att minnet dessutom är pin-kompatibelt med något UV-raderbart EPROM.

## Hitachi 16 kb EEPROM!

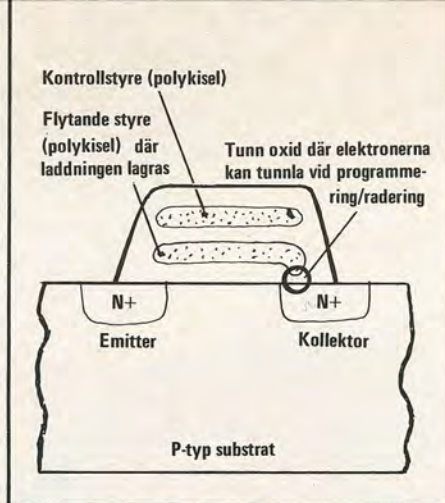
Den mest utprovade tekniken är MNOS-tekniken som varit "på gång" nu i många år. MNOS-minnen på 4 och 8 kbit levereras kommersiellt från General Instruments. Tekniken är P-kanal MOS med åtkomsttider upp mot mikrosekundern och +5 och -12 V matningsspänningar förutom 28 V för omprogrammering. GI marknadsför sina minnen som EAROM (Electrically Alterable ROM) eller WAROM (Word Alterable ROM) om det finns möjlighet att radera och programmera om enstaka ord. Svagheter hos MNOS-minnet har varit, förutom P-kanal-teknikens sämre prestanda, en viss osäkerhet om informationens lagringstid vid olika miljöbetingelser och med vilken säkerhet man ska kunna bedöma att informationen finns kvar önskad tid. Minnet är också begränsat av störningar vid läsning till maximalt  $10^{11}$  läscykler innan minnet måste programmeras om och av utmattningsmekanismer till maximalt  $10^5$  omprogrammeringar och då ändå med försämrade lagringsdata efteråt.

På GI håller man nu på att införa N-kanal MNOS samtidigt som Hitachi annonserar ett 16 kbit N-kanal MNOS EEPROM (HN48016) som är pin-kompatibelt med EPROMet 2716. Priset på Hitachis minne uppges ligga på \$70 i 100-tal.

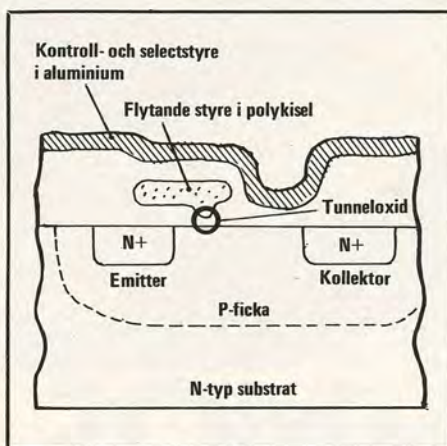
## Intel 16kbit EEPROM

Speciellt intressant är det emellertid att en stor halvledartillverkare som Intel nu ger sig in på denna marknad. Betyder det måne att EEPROM nu är moget för ett genombrott? Intels EEPROM 2816, på 16 kbit, presenterades första gången på 1980 års ISSCC-konferens i San Francisco. Minnet är organiserat i 2kbyte om 8 bitar och kan raderas och programmeras byte för byte utan att andra minnesceller påverkas. En byte kan programmeras om på 20 ms vilket sparar mycket tid när man ska in och ändra i ett program. Det finns också en 10 ms chip erase och det tar 20 sekunder ( $2048 \times 10$  ms) att programmera minnet. Matningsspänning vid enbart läsning är 5 V medan en 21 V-puls på 10 ms kontrollerar radering/programmering.

Minnets accesstid är 250 ns vilket gör minnet kompatibelt med kraftfulla mikroprocessorer som 8086-2. Detta gör 2816 mycket lämpligt för lagring av mikroprocessorernas programvara i en mängd konstruktioner inom telekommunikation, dataterminaler, processtyrning och instrumentutrustning.



Figur 2. Intels minnescell FLOTOX – floating-gate tunnel oxide. Informationen lagras som laddning på det flytande styret. Elektronerna kan tunnla till och från det flytande styret under radering/programmering genom den tunna oxiden men ligger i övrigt väl lagrade bakom oxidbarriären.



Figur 3. Hughes Aircraft har presenterat ett 8 kbit EEPROM som bara drar 500  $\mu$ W i standby genom CMOS-teknik. De kallar sin minnescell Fetox – floating-gate electron-tunneling oxide.

## FLOTOX

Intels minnescell är av "floating-gate"-typ som framgår av fig 2. Cellstrukturen kallas FLOTOX (efter floating-gate tunnel oxide) och bygger på att en del av oxiden mellan det "flytande" styret och kollektorn bara är 200 Å tjock. Vid tillräckligt högt elektriskt fält kan elektroner tunnla genom den tunna oxidens potentialbarriär och ladda upp det flytande styret. Fältet åstadkoms genom en 21 V spänningsspul på det yttre kontrollstyret till vilket det flytande styret är kapacitivt kopplat. Tunnelströmmen är exponentiellt beroende av fältet så utan spänning ligger laddningen säkert lagrad bakom styroxidens potentialbarriär. Cellen raderas genom att kontrollstyret jordas och de 21 V läggs på kollektorn. Elektronerna tunnlar ut och informationen raderas. Genom att minnescellerna är kopplade bytevis via en gemensam selecttransistor kan informationen raderas i enstaka bytes. Vid läsning i cellen läggs en lässpänning på kontrollstyret och genom att elektro-

nera på det flytande styret påverkar transistorens tröskelspänning blir transistor antingen ledande eller spärrande.

Det finns en hel del tillämpningar där man efterlyser icke-flyktiga minnen som är elektriskt ändringsbara. Det gäller t ex flygburen elektronik och annan miniatyriserad elektronik där små, lätta halvledarminnen är idealiska. Ännu så länge finns emellertid inga tillförlitlighetsdata på minnet. Databladet säger inget om hur bra informationen ligger kvar men informationslagringstiden uppges på annat håll vara bättre än 10 år vid 125 °C. Minnet är dock bara specificerat för arbetstemperaturer mellan 0 och 70 °C. Dessutom tål minnet bara att programmeras om  $10^4$  gånger på grund av utmattningsfenomen. Någon begränsning i läsfrekvens p g a lässtörningar (read disturb) som för MNOS finns dock inte.

## Effektsnålt från Hughes

Hughes Aircraft har tidigare presenterat en icke-flyktig minnescell som påminner om Intels men har hittills bara sålt små minnen (NOVRAMs) genom Hughes Microelectronics i England. Nu presenterar man emellertid ett 8kbit EAROM, HNVM 3008, som är organiserat i  $1024 \times 8$  bit och tänkt att ersätta EPROM 2708. Minnet är tillverkat med N-kanal minnesceller och CMOS kringlogik och är extremt effektsnålt – mindre än 10 mW vid läsning och 500  $\mu$ W i standby. Matningsspänningen är 5 V som höjs till 17 V vid omprogrammering. Minnets åtkomsttid är 500 ns och det tar 100  $\mu$ s att radera hela minnet (byte-radering finns ej) samt därefter 100  $\mu$ s per ord vid programmering. Det innebär 0,1 s för att programmera hela minnet.

Hughes kallar sin minnescell FETOX – floating-gate electron-tunnel oxide. Minnestransistorn påminner mycket om Intels som framgår av fig 3. Området med den tunna oxiden där elektronerna tunnlar ligger här mitt i kanalområdet istället för över kollektorn. Det är enklare att tillverka bra oxid över ett lågdopat substrat än över en högdopad kollektor, men man förlorar möjligheten till byte-radering. Det flytande styret täcker dessutom bara halva kanalen så kanalens andra hälft kontrolleras av kontrollstyret i aluminium. Varje minnescell blir en minnes- och selecttransistor i serie. Isolatorn mellan de båda styrena är kiselnitrid med hög dielektricitetskonstant för att ge stark kapacitiv koppling mellan styrena.

Minnets arbetstemperatur är -55 till 100 °C och minnet uppskattas hålla sin information i 10 år vid 100 °C. Minnet uppges tåla  $10^5$  omprogrammeringar. Onekligen ett lovande minne, liksom Intels, men ännu återstår många tester innan man vet vad minnena går för i olika miljöer!

Kjell O Jeppson

Mer att läsa om lcke-flyktiga minnen i ET 16/78 och 4/79.

# I jakten på snabbhet: Nya processer sätts in!

De traditionella teknologierna, NMOS, CMOS och bipolärt, kommer att försvara sina positioner de närmaste åren. Utvecklingsarbetet är inriktat på att få ut mesta möjliga prestanda ur de kretsteknologier man redan kört in sig på. Utvecklingen kommer att ge snabbare kretsar där de traditionella gränserna – NMOS= billig men långsam, CMOS=effektstål men utrymme-krävande och bipolärt=snabbt men effektkrävande – kommer att suddas ut.

Prisutvecklingen kommer att tvinga tillverkarna att satsa på enkla processteg. Specialteknologier med vissa bra prestanda men högre pris kommer att begränsas till sina speciella tillämpningsområden där den högre kostnaden kan accepteras. Det gäller t ex CMOS på kisel-på-safir med hög snabbhet och låg effektförbrukning men tillverkning på dyrare safirsubstrat. Det gäller också VMOS, som f n har stor framgång som diskreta krafttransistorer med mycket kort switchtid. Där har dock **American Microsystems Inc** nu lagt ner minnestillverkningen i VMOS-teknik (förutom sitt 64 kbitars ROM).

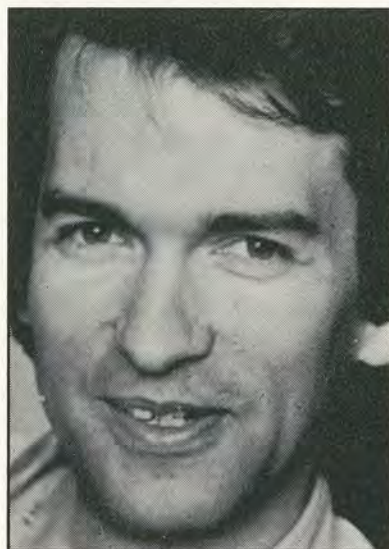
## NMOS blir HMOS och HMOS II

För att markera MOS-teknikens starkt förbättrade prestanda införde Intel beteckningen HMOS-High Performance MOS (se ET 4/79). HMOS-tekniken är ett viktigt steg i MOS-teknologins utveckling, som på allvar inlett nedskalningen av MOS-transistorernas dimensioner. En minskning av kanallängden till 3,5  $\mu\text{m}$  från tidigare 6,5  $\mu\text{m}$  betyder snabbare transistorer. I proportion till kanallängden har man också minskat oxidtjockleken till 700 Å.

Intel tog därmed på allvar upp kampen med tillverkarna av snabba bipolära minnen. I de nya statiska MOS-minnena uppnåddes för första gången bipolär snabbhet. Denna nedskalade MOS-process är nu industristandard då flera andra stora företag som **Motorola**, **Texas**, **Mostek**, **National** och **AMD** följt efter. Man använder ibland egna beteckningar som Texas' SMOS för scaled (dvs nedskalad) MOS. Men även om flera tillverkare är kompetenta på 3,5  $\mu\text{m}$  linjebredd verkar en del av tillverkarna ha problem med att få bra utbyte vid tillverkningen av sina 55 ns-versioner av Intels 2147.

Intel har nu fortsatt nedskalningen till 2  $\mu\text{m}$  kanallängd och 400 Å oxidtjocklek.

**Det är snabbhet som är nyckelordet nu i utvecklingen av nya processer för kretsar med högre prestanda, säger Kjell Jeppson. De processer som redan är klara, både på den bipolära och på MOS-sidan kommer att slå igenom i nya produkter senare i år. Och det utvecklingsarbete som pågår lovar mycket stora förbättringar i prestanda i nästa års minnen, mikroprocessorer och logikkretsar.**



Kjell O Jeppson

Denna process betecknas HMOS II och kan enligt Intel tillverkas på en standard HMOS-tillverkningslinje då processändringarna är minimala. HMOS II-versionen 2147 H har sålunda en accesstid på 35 ns. En viss omdesign av chip-select-bufferten och en del annan kringlogik reducerade brickytan med 15 %.

## ”Wafer stepping”

Nedskalade dimensioner, som 2  $\mu\text{m}$  kanal-

längd, innebär naturligtvis höga krav på de fotolitografiska processtegen. Kraven gäller upplösning, passning mellan olika mönster, etsning med hög kantskärpa osv med bibehållen hög produktionsstakt och låg kassation.

Kraven på ökad noggrannhet vid etsning har man klarat genom att gå över till torr plasmaets i stället för de gamla våta kemiska etsbaderna.

Industristandard idag är att maskernas mönster överförs till kiselytan genom optisk 1:1 projicering. Denna metod har en noggrannhet på 3  $\mu\text{m}$  linjebredd och en kapacitet på ca 604<sup>2</sup>-skivor/timme. Det är möjligt att minska linjebredden till ca 1  $\mu\text{m}$  genom att exponera med djupt ultraviolettera lampor. Metoden med 1:1 projicering blir då emellertid ganska känslig för dammpartiklar både på masken och kiselnskivan.

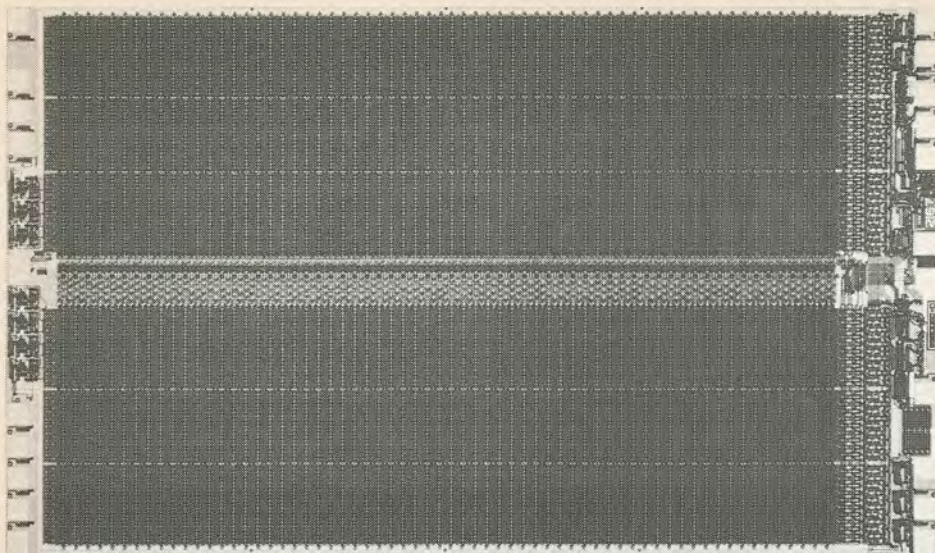
Den nya metoden som är på väg och som kommer att krävas för HMOS II produktion är Direct-Step-on-Wafer (DSW). Mönstret projiceras förminskat 10:1 på kiselytan krets för krets genom ett step-and-repeat-förfarande där kiselnskivan stegas fram mellan exponeringarna. Upplösningen med denna metod är idag 1,25  $\mu\text{m}$  och den klarar alla dimensioner upp till 6<sup>2</sup>-tums skivor. I kommande maskiner kan man vänta sig ännu bättre upplösning. Metoden är långt från sin begränsning medan 1:1 projiceringen nått sin gräns.

Andra litografiska metoder på gång är röntgenexponering och elektronstrålexponering. Röntgenexponering är kontaktkopiering med röntgen. Den används idag bara på ett fåtal ställen där man själv konstruerat sin utrustning. Andra speciella problem är maskerna som måste göras i tunna, mycket sköra material. På sikt kommer metoden säkert när mycket tunna linjebredder kan hanteras (<1  $\mu\text{m}$ ).

Elektronstrålexponering används nästan enbart för att göra masker eftersom det tar för lång tid att direktexponera kiselnskivorna. Metoden har sin plats för mönster med 0,5–1,0  $\mu\text{m}$  linjebredd.

## Mjuka fel från $\alpha$ -strålning

$\alpha$ -partiklar, som utsänds av radioaktiva ämnen i kapselmaterialet eller från den naturliga bakgrundsstrålningen, kan slumpmässigt radera innehållet i dynamiska



På 1979 IEEE International Solid State Circuits Conference presenterade Intel detta 16 kbitars statiska minne. Snabbheten är typiskt 40 ns och effektförbrukningen 500 mW eller 75 mW i powerdown. Brickan är 3.8x6.4 mm<sup>2</sup> och är därmed smal nog att passa i en standard 20-pinnars kapsel. Enkla statiska periferikretsar ger 67 % effektiv minnesyta.

RAM och CCD med mycket små minnes-celler fastslog Intel vid 1978 års *International Reliability Physics Symposium* (se ET 11/78).

Ämnet har behandlats vid flera konferenser i år, då man också konstaterat att vissa statiska RAM-celler med högresistiva polykisel-lastmotstånd också är känsliga för  $\alpha$ -strålning. Mycket tyder emellertid på att problemen med mjuka fel pga  $\alpha$ -strålning i statiska och dynamiska minnen inte är olösliga.

### Snart 256 kbitars minnen?

Ja, det undrade jag i Uppdateringen 1979 och då tänkte jag i första hand på CCD-minnen. Vid 1980 års *International Solid*

*State Circuits Conference* nyligen i San Francisco presenterade två japanska företag, NEC-Toshiba och NTT-Musashino **Electrical Communication**. 256 kbitars dynamiska RAM. Accesstiden ligger på 160 resp 100 ns.

NEC-Toshibas minne utnyttjar dubbla polykiselledare och 1,5  $\mu$ m direct-step-on-wafer-teknik och torr plasmaets. NTT-Musashino utnyttjar tre ledarskikt – aluminium och molybden metalledare och ett skikt polykiselledare. Litografin är direkt elektronstråleexponering. Intressanta nyheter, men ännu bara på labstadiet!

På CCD-sidan däremot verkar det idag bara vara Fairchild som har konkreta planer på att tillverka 256-kbitars CCD-min-

nen. Trots att det finns en plats i minneshierarkin för CCD-minnen som blockorienterade, snabba massminnen har CCD-minnena inte tillräckligt försprång före de dynamiska RAM-minnena. Det är väl också ganska naturligt med tanke på det numera mycket nära teknologiska släktskapet. CCD-minnena har också visat sig vara mer känsliga för  $\alpha$ -strålning än de dynamiska minnena. CCD-teknologin har dock kvar sin givna plats i bildbehandling och filtertillämpningar.

### Framtidens logik på GaAs?

Om dagens integrerade kretsar kunde tillverkas på galliumarsenid (GaAs) istället för kisel skulle man kunna vinna ytterligare en faktor 6 i snabbhet. Elektronerna har nämligen mycket större rörlighet i GaAs. Nu är det emellertid inte så lätt att hantera GaAs, eftersom man inte kan passivera ytan genom oxidation. MOS-transistorer är då uteslutna och man riktar in sig på metall-semiconductor MESFETs.

Ännu har inte någon klar logikfamilj utkristalliserats, men *Rockwells Science Center* i Thousand Oaks har presenterat en intressant familj, SDFL. Man utnyttjar Schottky-Diode-Fet Logik i en helt planar teknik. Dioderna ger de logiska funktionerna och MESFET-transistorerna som är av utarmningstyp (depletion) ger invertering och förstärkning. I testkretsar har man rapporterat mycket fina värden på snabbhet och effekt-fördrojningsprodukt, 136 ps resp 16 femtojoule ( $10^{-15}$  J). Detta är den hittills lägsta switchningsenergin som rapporterats. Kanske SDFL-tekniken kan föra upp GaAs-kretsarna på LSI-nivå men vi får nog vänta några år innan denna teknik mognat.

Kjell O Jeppson

## Analoga kretsar

## Uppdatering -80

# Nya lösningar ger bättre kretsar

Lars Göran Lundblad har givit oss en hel del intressanta inblickar i vad som händer bland linjära IC under året som gått. Här sammanfattar han vilka komponenter som rönt störst uppmärksamhet under 1979. Han har dessutom plockat fram en del godbitar ur årets *International Solid State Circuit Conference*. Spe-

cifikationerna blir bättre – nya luriga kopplingar för de linjära IC-kretsarna framåt.

Redan i mitten på 60-talet skapade *Robert J Widlar*, den moderna op:n (702, 709) och nu 15 år senare framstår han fortfarande som en av de främsta konstruktörerna inom området. Mera om hans nya skapelse LM11 längre fram.

Med blicken vänd mot framtiden summeras även övrigt analogt material ur 1980 års upplaga av *ISSCC80 Digest of Technical Pa-*

pers. En och annan äldre "nyhet" slinker också med.

Flera av de produkter, som presenteras på *ISSCC* (International Solid State Circuit Conference) hittar av olika anledningar aldrig ut på marknaden. Trots detta är materialet intressant, eftersom de återspeglar verksamheten på utvecklingslabben hos de stora IC-tillverkarna. Detta gäller då inte minst den analoga sidan, där konstruktörerna är få och välkända.

### Många bitar på ett chip

Utvecklingen av "monolitiska" A/D och D/A har nu nått ungefär 12 bitar. En förut-

# I<sup>2</sup>L bryter MOS-dominansen på LSI-sidan



I<sup>2</sup>L-tekniken har givit den snabba bipolära tekniken talanger som är fullt i klass med MOS-teknikens. Fram tills alldeles nyligen förknippades bipolär teknik med snabbhet, visserligen, men tyvärr också med dålig packningstäthet och stor effektförbrukning. Kjell O Jeppson bidrar här med en av fem Elteknikartiklar, som granskar de mest lovande utvecklingslinjerna inom den integrerade kretstekniken, nämligen HMOS (ET 4/79), CMOS på safir (ET 12/79), I<sup>2</sup>L, DMOS och VMOS. De två sistnämnda teknikerna behandlas i kommande nummer av Elteknik.

Av tradition förknippas MOS-tekniken med hög packningstäthet och låg effektförbrukning. Det var MOS-tekniken som möjliggjorde den komplexa LSI-tekniken. Men utvecklingen inom den integrerade kretstekniken går oerhört snabbt. De gamla begreppen gäller inte längre.

Vi har tidigare (se Elteknik 4/79) sett hur den s k HMOS-tekniken givit MOS-kretsarna bipolär snabbhet. I<sup>2</sup>L-tekniken ger den bipolära tekniken en packningstäthet och en effektförbrukning som är jämförbar med MOS-teknikens. Eller vad sägs om t ex Fairchilds nya 9440 16 bitars mikroprocessor, 4- och 16 kbitars dynamiska minnen med en accesstid på 90 ns och en effektförbrukning mindre än 500 mW (70 mW standby)?

I<sup>2</sup>L står för Integrated Injection Logic, ett uttryck som myntades på Philips i Eindhoven. Ett annat namn på samma teknik, är MTL-Merged Transistor-Logic. Det används av IBM i Tyskland. Forskare från dessa båda forskningslaboratorier presenterade på samma konferens 1972, oberoende av varandra, den nya tekniken. Båda förkortningarna sammanfattar som vi ska se, viktiga egenskaper hos den nya tekniken.

## Inverteraren är byggstenen

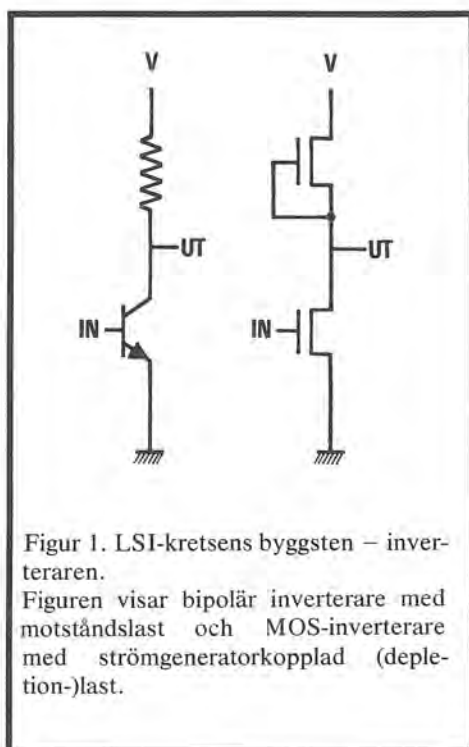
Som vi tidigare nämnt, i artikeln om HMOS, är all logik uppbyggd av inverterare. En inverterare består av en drivtransistor och ett lastmotstånd, (figur 1). I TTL-tekniken är lastmotståndet utrymmeskrävande diffunderade resistanser. Diffusionen har låg ytresistivitet (ca 200 Ω/ruta). En resistans på några kΩ blir ganska lång och tar stor plats. Resistansvärdena är alltså begränsade av utrymmesbrist.

TTL-tekniken är snabb, men de låga resistanserna medför att vi slösar bort mycket effekt i onödan. TTL är alltså inte lämplig för konstruktion av LSI-kretsar, trots sin snabbhet. Antalet grindar i en TTL-krets begränsas antingen av att varje grind tar upp för stor yta eller utvecklar för mycket effekt.

I MOS-tekniken däremot används MOS-transistorer även som laster. En MOS-transistor har mycket högre ytresistivitet – minst en faktor 100. Typiska ytresistiviteter är 20 kΩ/□ till 1 MΩ/□. Detta betyder oerhört mycket för packningstäthet och effektförbrukning. Från början var lasterna resistanskopplade (sk enhancement-laster). Men med jonimplantationsteknikens genombrott möjliggjordes strömgeneratorkopplade laster (s k depletion-laster). Dessa gav MOS-inverterarna avsevärt bättre snabbhet.

## Jämförande produkt

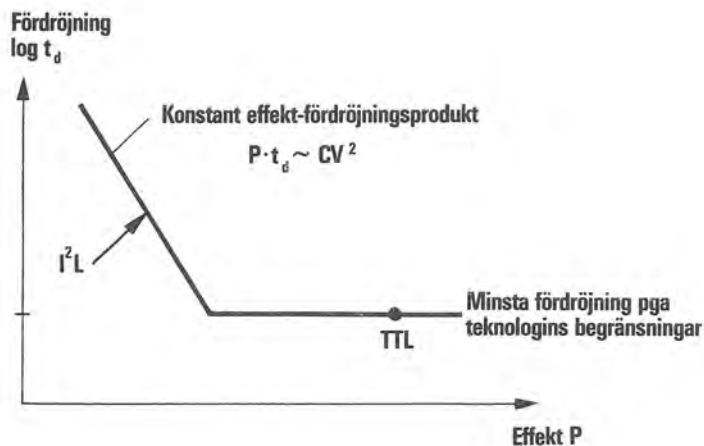
Ett bra godhetstal för en inverterare, när man vill jämföra olika teknologier, är effekt-fördröjningsprodukt. Denna är konstant för varje teknologi. Den är dessutom oberoende av lasten på så sätt, att man genom att välja resistansvärde kan vinna endera i fördröjning eller effektförbrukning genom att offra den andra parametern. Detta gäller till en viss gräns, som sätts av den



Figur 1. LSI-kretsens byggsten – inverteraren.

Figuren visar bipolär inverterare med motståndslast och MOS-inverterare med strömgeneratorkopplad (depletion-)last.





Figur 2. Effekt-fördröjningsprodukten konstant och proportionell mot lastkapacitansen  $\times$  spänningen i kvadrat.

Bättre prestanda med små kapacitanser och låg matningsspänning. Den kompakta I<sup>2</sup>L-tekniken som arbetar med låg matningsspänning har bra ef-

fektfördröjningsprodukt. Tekniken är flexibel så att snabbhet kan offras mot effekt och tvärtom. I TTL-tekniken däremot offras mycket effekt utan att man vinner något i snabbhet genom svårigheten att göra stora resistanser.

använda teknologins inbyggda begränsningar. Detta framgår av figur 2.

I en MOS-krets kan man därför genom jonimplantation bestämma lasttransistorers tröskelspänning och därigenom dess strömförbrukning så att önskad snabbhet och effektförbrukning uppnås. I ett MOS-minne

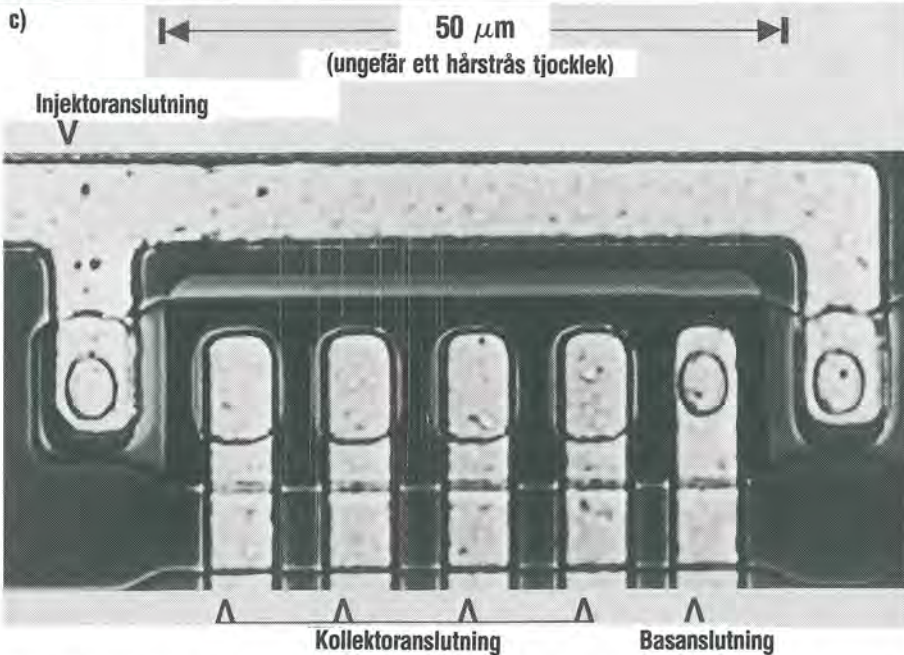
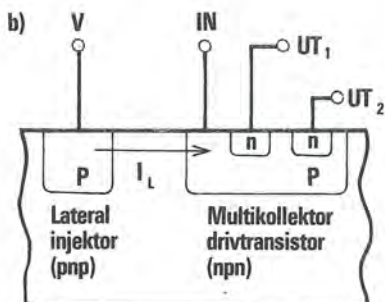
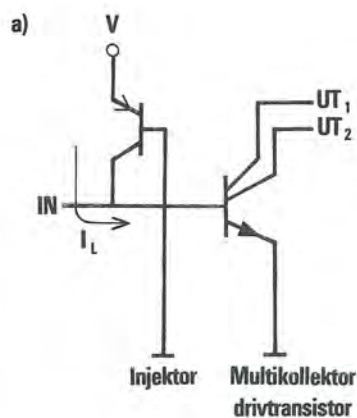
t ex drar lasterna 400  $\mu$ A i de få avkodarinverterare, som bestämmer minnets snabbhet. För de många minnescellerna däremot är låg effektförbrukning viktigare. Lasterna där drar därför bara 1  $\mu$ A var. Det betyder 20 mW för ett 4 kbitars minne i stand-by, men 300 mW under access.

## Lateral pnp-transistor injektor

I I<sup>2</sup>L-tekniken används en lateral pnp-transistor som strömgeneratorkopplad last, s k injektor. Man använder en lateral transistor för att kunna göra både pnp- och npn-transistor utan att lägga till nya processteg. Tekniken med injektorlasttransistorer är mycket flexibel eftersom lastens strömförbrukning kan ändras flera tiopotenser (från mA till nA) bara genom att emitterdiodspänningen ändras några tiondels V. I<sup>2</sup>L-lastens ytesistivitet kan alltså enkelt varieras mellan 5 k $\Omega/\square$  och 500 M $\Omega/\square$ .

I motsats till MOS-transistorer, som är naturligt isolerade från varandra, måste bipolära transistorer isoleras från varandra i konventionell bipolär teknik. Förfarandet är utrymmeskrävande, men inte nödvändigt i alls samma utsträckning i I<sup>2</sup>L-tekniken, eftersom drivtransistorerna kopplas med emitterna till ett gemensamt emitterområde. Transistorerna körs alltså "inverterat", med emitterna underst. Detta möjliggör multikollektortransistorer utan utrymmeskrävande isoleringar. Ytterligare en fördel är att i de flesta enkla logikkretsar, har flera transistorer gemensam bas, ofta i grupper om 2-4 transistorer.

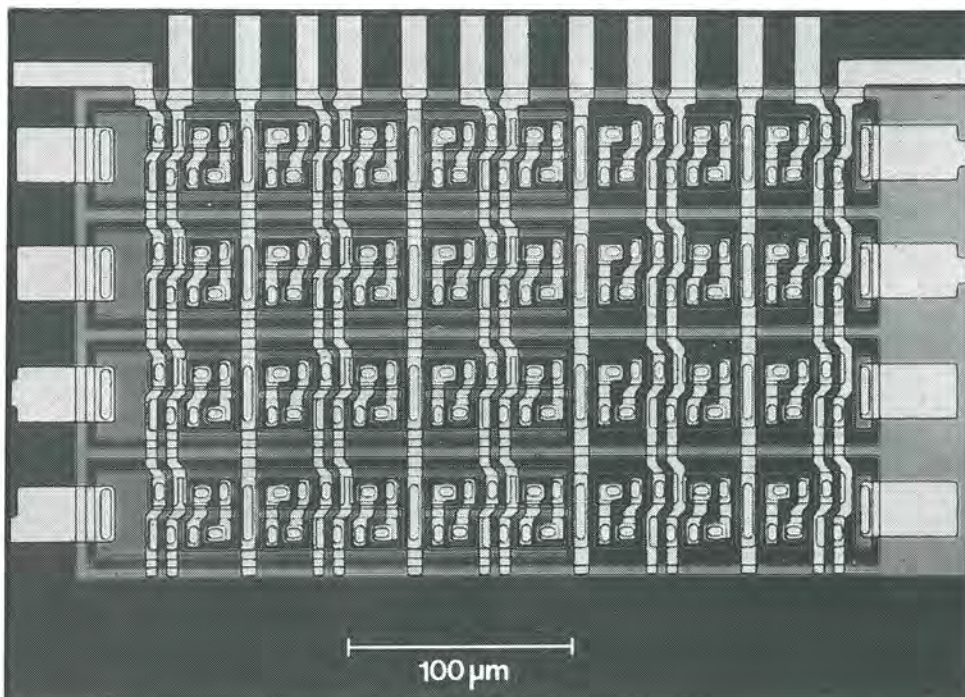
I<sup>2</sup>L-inverterarens kopplingsschema medger dessutom en superintegrerad struktur, där last och drivtransistor flyter samman (Merged Transistors). På så sätt är det gemensamma emitterområdet också bas i injektorn medan injektorns kollektor samtidigt är bas i drivtransistorn. Alla dessa knep, som medför färre isoleringar mellan transistorerna, höjer packningstätheten, se figur 3.



Figur 3. I<sup>2</sup>L-grind.

2-utgångars I<sup>2</sup>L-inverterargrind (a). Att lasten ritas på ingången till inverterarsteget betyder inget eftersom den ju samtidigt sitter på föregående stegs utgång. Drivtransistorn med två kollektorutgångar körs inverst med emit-

tern underst i det gemensamma emitterområdet (b). Att förstärkningen blir dålig betyder inte så mycket eftersom det i princip räcker med  $\beta=1$  för att transistoren ska kunna sänka basströmmen. Fotografiet (c) visar I<sup>2</sup>L-grind från IBM.



Figur 4. Statiskt I<sup>2</sup>L-minne från IBM.

Varje cell består av 2 korskopplade I<sup>2</sup>L-inverterare. Injektorena görs i form av långa ledningar som är gemensamma för 4 par av minnesceller. Varje minnescell delar 2 selecttransistorer med sin närmaste granncell.

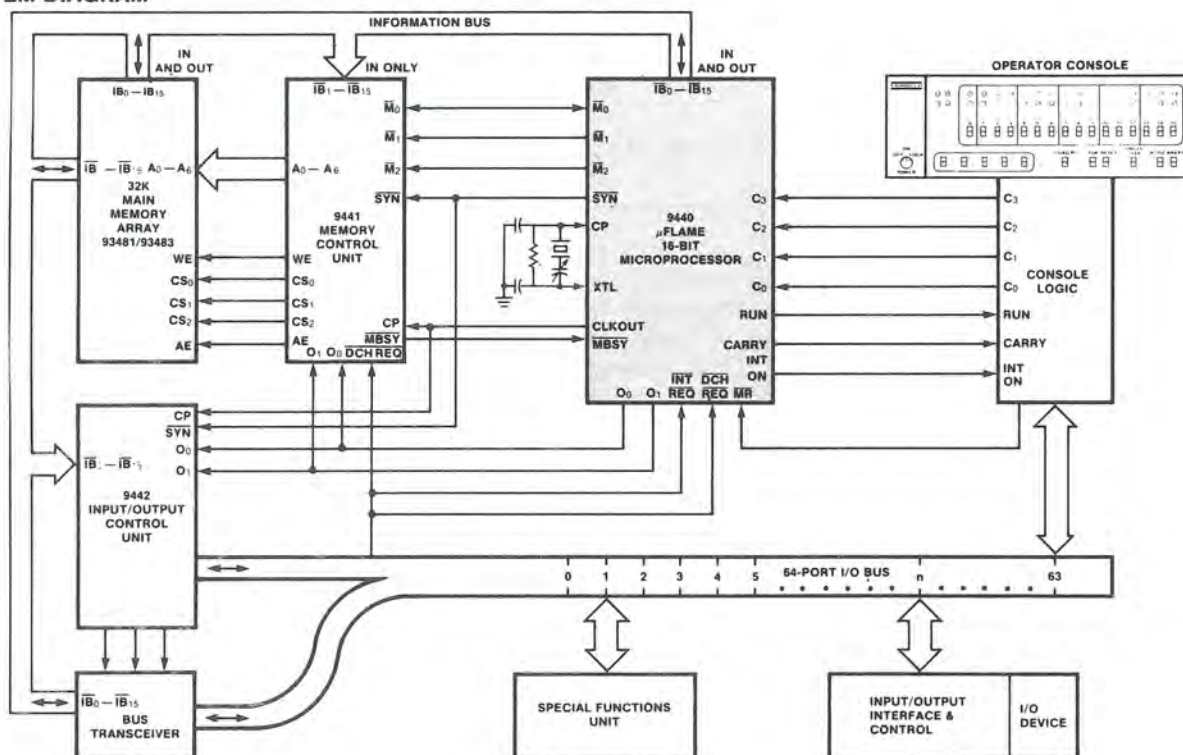
## Många fördelar med I<sup>2</sup>L

I<sup>2</sup>L har en mycket låg effekt-fördröjningsprodukt. Det beror på att ström- och lastkapacitanserna minskats högst väsentligt genom den höga integrationsgraden. Dessutom är spänningssvinget lågt, bara ca 0.7 V – ett diodspänningsfall. En typisk effekt-fördröjningsprodukt för enkel I<sup>2</sup>L är ca 1 pJ, ungefär samma som för dagens HMOS-teknik. I mer avancerad I<sup>2</sup>L är effekt-fördröjningsprodukten pressad ytterligare en faktor 10.

Enligt Rifa är de stora fördelarna med I<sup>2</sup>L:

- Enkel process – (kan nästan konkurrera i pris med MOS)
- Mycket hög packningstäthet – jämförbar med bästa MOS-teknik
- Mycket snabba kretsar
- Flexibel teknik – goda möjligheter att offra snabbhet mot låg effektförbrukning och tvärtom.
- Stora möjligheter att integrera in- och utgångssteg med större drivförmåga, samt möjligheter att integrera linjära funktioner på samma bricka.
- Militärt temperaturområde, eftersom det är en bipolär teknologi.

## SYSTEM DIAGRAM



Figur 5. Mikroprocessorn blir minidator.

Fairchild's nya I<sup>2</sup>L-mikroprocessor, 9440 Microflame, är en "one-chip" minidator-CPU med 16 bitars ordlängd. Det är den första i en ny serie I<sup>2</sup>L-produkter: FIRE – Fairchild Integrated Real-time Executive. I<sup>2</sup>L-tekniken har givit mikroprocessorn bipolär snabbhet (upp till 12 MHz) men med MOS-teknikens låga effektförbrukning och höga packningstäthet. Mikroprocessorn har 16 bitars ordlängd, 2192 instruktioner (uppbyggda kring 50 grund-

instruktioner) och opererar över hela militära temperaturområdet. Matningsspänningen är 5 V. Mikroprocessorn har samma instruktionsuppställning som Data General's CPU NOVA, men är annorlunda strukturellt uppbyggd. För att ge hela systemet bipolära prestanda finns även kringkretsar i I<sup>2</sup>L-teknik. Som 1- och 4-kbitars dynamiska minnen, memory controller för refresh och styrning, samt I/O-buss controller. Under utveckling är också 16- och 64-kbitars minnen.

*Nackdelarna* är framför allt begränsad spänningstålighet.

Eftersom matningsspänningen är låg blir störmarginalerna helt naturligt ganska små spänningar. Störtåligheten hos en grind beror emellertid också på den energi som krävs för att slå om en grind. Eftersom I<sup>2</sup>L-grindarna har ganska låg inimpedans blir störeffekten av samma storleksordning som i CMOS.

## Avancerad I<sup>2</sup>L

Den enklaste formen av I<sup>2</sup>L, som den beskrivits i principfigurerna, arbetar upp till några MHz. Tekniken kan emellertid ytterligare förbättras och det finns kommersiella kretsar som arbetar upp till 12 MHz. Mest känd av de avancerade I<sup>2</sup>L-teknologierna är väl Fairchild's I<sup>2</sup>L. Det extra I:et står för Isoplanar I<sup>2</sup>L, och markerar Fairchild's teknik att isolera de olika inverterarna från varandra. Man använder oxidisolering istället för pn-övergångar. Det ger 30 % bättre prestanda.

Andra metoder att förbättra I<sup>2</sup>L-teknologin ytterligare inkluderar naturligtvis metoder att öka packningstätheten. En sådan metod är SFL-Substrate Fed-Logic, där injektorn ligger i substratet under drivtransistorerna. Då vinner man också att injektionsströmmen fördelar sig bättre mellan

kollektorerna. I denna teknik använder man sig också av Schottky-dioder på ingångarna. SFL-tekniken är speciellt lämplig vid låga injektionsnivåer.

Dopningsprofilerna i de inversa drivtransistorerna kan naturligtvis optimeras genom avancerad jonimplantation. På så sätt får transistorerna bättre förstärkning och mindre kapacitans.

Bättre prestanda får man också med Schottkydioder på utgångarna för att minska laddningsupplagringen av minoritetsbärare. Med Schottkydioder på basen minskar man dessutom spänningssvinget och därigenom laddningsupplagringen i emitterdioden.

Dessutom återstår ju de vanliga nedskalningsmetoderna att minska linjebredden. Här finns finare litografiska metoder som röntgen och elektronstråle-exponering eller att öka packningstätheten genom att öka antalet skikt av ledarmönster (övergång från metall till polykiselledare).

## Från leksaker till datorer

Möjligheter att inom vida gränser välja snabbhet och effektförbrukning gör I<sup>2</sup>L-tekniken idealisk i en lång rad tillämpningar, från leksaker till snabba datorsystem. Tanken går osökt till kretsar för digitala armbandsur. Flera skäl talar här för I<sup>2</sup>L: den låga matningsspänningen (1.1 V),

men framför allt att drivkretsarna för sifferdisplayerna kan integreras direkt på bricken.

I<sup>2</sup>L är det givna valet i mycket effektsnåla kretsar. I<sup>2</sup>L är oslagbar när det gäller att utföra ett stort antal funktioner till låg effektförbrukning. Som uppbackningsminnen eller som övervakningslogik, som sällan ingriper är däremot CMOS bäst eftersom denna inte drar någon statisk effekt. I vissa fall kan I<sup>2</sup>L-teknikens flexibilitet lösa även detta problem genom att man kan slå om mellan olika injektionsnivåer så att kretsen är antingen snabb eller effektsnål.

I<sup>2</sup>L-kretsar används i kameror för kontroll av slutartider, i TV-apparater för fjärrkontroll och för tid- och kanaldisplay, i telefonapparater för knappsatsens tongeneratorer osv. Ett stort tillämpningsområde är bilelektroniken där I<sup>2</sup>L kan användas för kontroll av tändning, bränsleinsprutning, låsfria bromsar, hastighetsmätare och "cruise-control".

Ett givet område är också mycket snabba kretsar för datorer. När det gäller 10 MHz LSI-kretsar är I<sup>2</sup>L det enda valet. För datorsystem kommer redan 16 bitars mikrodata-torer, snabba statiska och dynamiska minnen, I/O-kretsar och kontrollogik.

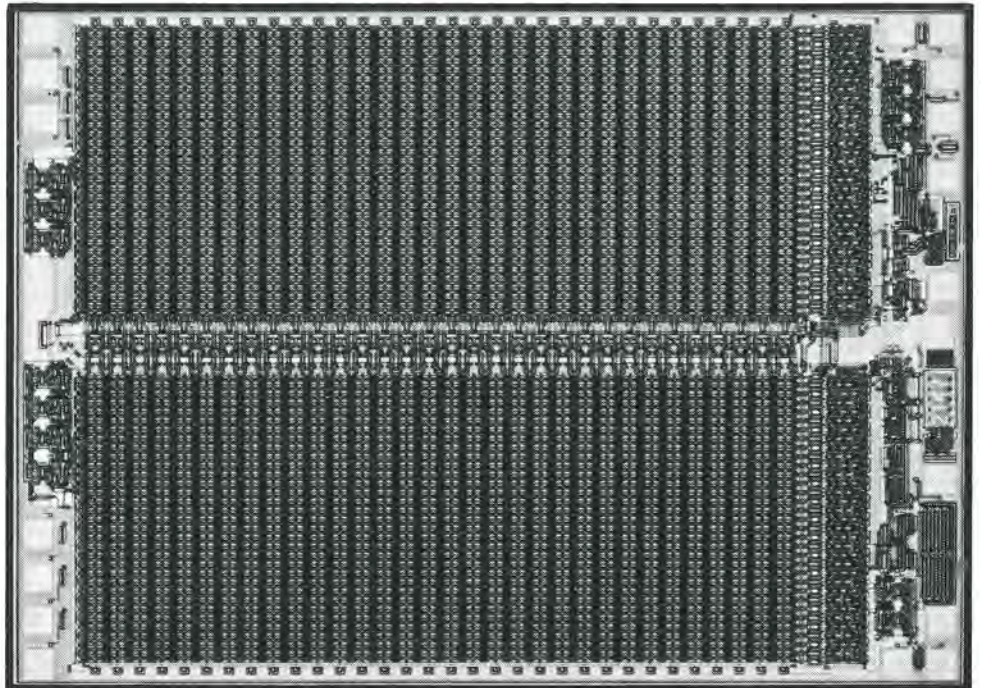
Trots den korta utvecklingstiden för I<sup>2</sup>L har man redan fått en funktionstäthet som är i jämnhöjd med de bästa MOS-mikroprocessorerna. Men med bättre prestanda. ■

# Snart 256 kbitars minnen?

”Ständigt nya kretsar, ökad packningstäthet, större komplexitet, bättre och bättre prestanda”. Känns termerna igen? Ja, säkert, menar Kjell O Jeppson. Varje halvledaröversikt under 70-talet har börjat på samma sätt. Och den integrerade kretstekniken utvecklas vidare med oförminskad takt. Det blir bara mer och mer spännande att se vad nästa steg kommer att innebära.

Kretsarnas allt större *komplexitet* ser vi på mikrodatorsidan, där allt kraftfullare mikroprocessor-chip kommer på marknaden. Man är nu på allvar på väg mot 16-bitars mikroprocessorer. Den ökande *packningstätheten* ser vi framför allt på minnessidan, där vi möter allt större minnen. 16-kbitars dynamiska minnen är industristandard idag, men man är redan på väg mot 64-kbitars CCD-minnen? För att markera den höga packningstätheten, (mer än 50 000 grindar), i nästa generation kretsar talar man också numera om VLSI – Very Large Scale Integrated Circuits.

Bättre *prestanda* möter vi genom allt snabbare kretsar, som drar allt mindre effekt. På marknaden finns idag 45-ns 1-kbitars och 55-ns 4-kbitars statiska MOS-RAM. Trenden pekar tydligt mot 15–20 ns. Kanske betyder det att MOS-tekniken slår ut de bipolära minnena, som visserligen fortfarande är något snabbare men också dyrare.



Intels 2147, 4-k statiskt RAM i HMOS-teknik. Genom den nedskalade HMOS-tekniken upptar varje sextransistorcell bara  $44 \times 55 \mu\text{m}^2$ , vilket gör att hela minnet rymms på  $3.4 \times 4.8 \text{ mm}^2$ .

## Mindre dimensioner ger HMOS

För att markera MOS-teknikens starkt förbättrade prestanda har Intel infört beteckningen HMOS – High-performance MOS står just för bättre prestanda. HMOS-teknologin (se ET 4/79), är ett viktigt steg i MOS-teknikens utveckling eftersom den på allvar inlett nedskalningen av MOS-komponenternas dimensioner. En minskning av fotomaskernas linjebredd från  $6,5 \mu\text{m}$  till  $3,5 \mu\text{m}$  betyder kortare kanallängd och snabbare transistorer. I proportion till kanallängdsminskningen har man minskat

oxidjockleken till  $700 \text{ \AA}$ . I nästa steg siktar man mot ytterligare nedskalning mot  $2 \mu\text{m}$  resp  $500 \text{ \AA}$  (1980).

Denna ytterligare nedskalning har redan börjat och Intels HMOS-II process har redan gett 2125 H och 2147 H med 25–35 ns accesstid. Den korta accesstiden, som väntas pressas ytterligare till 15–25 ns, tillför marknaden två mycket attraktiva minnen, speciellt för cache-minneskonstruktörer. Minnena har också mycket låg effektförbrukning, 500 mW för aktivt minne och bara 50 mW i power-down.

Den nya nedskalade HMOS-tekniken kommer att innebära flera kretsnyheter: Intel har redan annonserat 2167 – 16-kbitars statiskt RAM med 45 ns accesstid, effektförbrukning 550 mW i en 20-pinnars kapsel. Kiselbrickan är bara 4,9 mm i fyrkant.

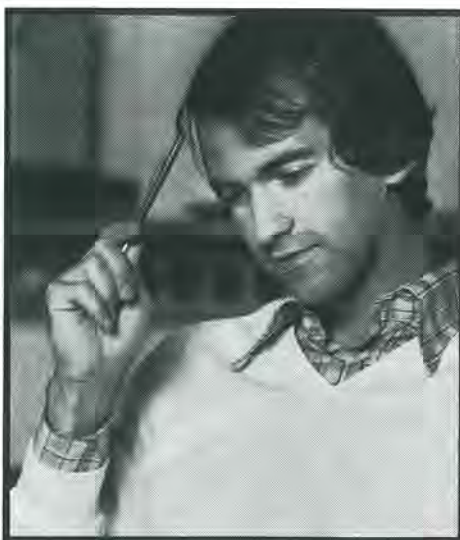
### 64-kbitars dynamiska RAM

Den nedskalade HMOS-tekniken öppnar naturligtvis nya möjligheter även till större dynamiska RAM. Nästa generation blir 64-kbitar och sådana minnen har redan annonserats av Texas, National Semiconductors, Fujitsu och IBM. Processtekniskt mest avancerade kretsar tycks TI och NS komma med då flera nya grepp provats för att pressa packningstäthet och prestanda. Resultatet har blivit en matningsspänning + 5V, 120 ns accesstid och 150 mW effektförbrukning i en 16 pinnars kapsel!

Förbättrade egenskaper hos minnescellen innebär bl a kraftigt minskad känslighet mot högenergetiska  $\alpha$ -partiklar från t ex kapseln (se ET 11/78). Bättre lagringsegenskaper betyder också att man nu erbjuder 4 ms refresh cycle vilket reducerar refreshtiden till 1,3 %.

### 64 k – industristandard 1981?

Förmodligen dröjer det till slutet av 1981 innan serieproduktionen av 64-k minnen når sin topp. Under tiden finns det stor marknad kvar för dagens industristandard 16-k



Kjell O Jeppson

RAM. Den nya teknologin, med starkt nedskalade komponenter, innebär att vi kommer att få en andra generation 16-k minnen med starkt förbättrade prestanda. En uppenbar utveckling går mot + 5V som enda matningsspänning vilket innebär mindre effektfördröjningsprodukt. Accesstiderna kryper också neråt under 100ns-gränsen. Effektförbrukning kring 150 mW med bara 15 mW i power-down!

Mindre dimensioner hos minnescellerna betyder plats över på kiselbrickan för mer avancerad kringlogik. T ex kan man lägga

refresh-kretsarna på brickan så att man slipper en hel del kringlogik. Man får då ett "pseudo-statiskt" minne med automatisk refresh i power-down, vilket gör att minnet verkar statiskt. (Mostek 4816). När minnet är aktivt styrs refresh av centralprocessorn via ett speciellt refresh-stift. Adresslogiken kan också göras dynamisk för att minska effektförbrukningen.

### Spännande teknologi

Den nedskalade HMOS-tekniken, med kanallängder på 2,5–3  $\mu\text{m}$  och med utvecklingen på väg mot 2,0  $\mu\text{m}$ , börjar nu på allvar pressa gränserna på den optiska litografi som används i serieproduktion. Ett tag trodde man t o m att 2  $\mu\text{m}$  skulle vara gränsen för optisk utrustning men genom att använda ultrakortvågigt ljus (0,25  $\mu\text{m}$ ) tror man nu att kanallängder på 1  $\mu\text{m}$  är möjliga. Toleranserna i den geometriska linjebredden är nu  $\pm 0,25 \mu\text{m}$ , vilket betyder att maskerna måste tillverkas med elektronstrålexponering. Andra finesser är att mönstren numer projiceras på kiselytan istället för att kontaktkopieras. Då undviks direktkontakt mellan mask och fotoresist vilket ger färre ytdefekter.

Man har också övergått till positiv fotoresist med bättre upplösning. En annan nyhet inom tillverkningstekniken är den torra plasmaets man numera använder istället för våta kemiska etsningar. Kjell O Jeppson

# HMOS: Ju mindre desto bättre!



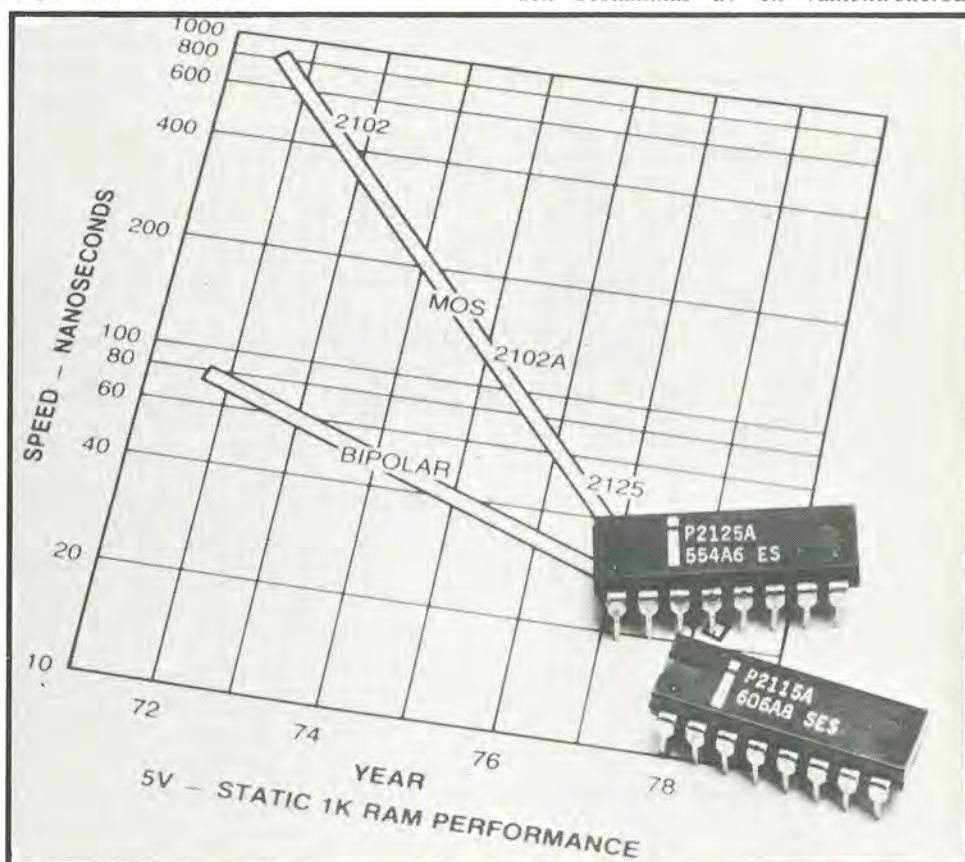
"MOS RAM med bipolär snabbhet till MOS priser" säger Intel i reklamen om sitt 1 kbitars statiska RAM i HMOS-teknik. HMOS står för High-performance MOS, d v s bättre prestanda. Ja, det är vad den nya teknikens nedskalade transistordimensioner innebär. MOS-minnena kan nu konkurrera i snabbhet med bipolära minnen. Vad sägs förresten om 4 kbitars med 45ns snabbhet och bara 50 mW i viloeffektförbrukning? HMOS har också hård konkurrens från fyra andra nya teknologier: DMOS, VMOS, I<sup>2</sup>L och CMOS på safir. Kjell O Jeppson berättar mer i den här artikeln.

Komplexiteten hos integrerade kretsar har fördubblats varje år och prestanda förbättras ständigt. Det är fascinerande teknologiska framsteg. Ett exempel på den snabba utvecklingen är PMOS-tekniken som utvecklats från metallstyren till polykiselstyren, övergått i NMOS-tekniken och sedan packats ännu tätare genom polykiselstyren i dubbla skikt.

## Fem teknologier konkurrerar

Idag står vi inför ytterligare ett avgörande steg. Men vilken teknologi skall bli den dominerande? Det är nämligen 5 olika teknologier som av sina förespråkare anses vara det bästa sättet att uppnå större hastighet och högre packningstäthet vid lägre effektförbrukning på mindre kiselbrickor till ett lägre pris. Det är HMOS, DMOS, VMOS, CMOS på safir och I<sup>2</sup>L.

För att få snabbare MOS-kretsar med högre packningstäthet måste man göra transistorer med kortare kanallängd. Det kan man göra t ex genom att låta kanallängden bestämmas av en välkontrollerbar



Figur 1. Bipolär snabbhet! 1972 hette 1k RAM 2102, med 6  $\mu$ m kanallängd och 1200 Å oxid. Snabbhet 500 ns. 1974 omdesignades den med depletion-load och snabbheten ökade till 200 ns. 1976 försågs minnet med oxidisolation och inbyggd substratspänning och accesstiden sjönk till 70ns. I HMOS-teknik med 3,5  $\mu$ m kanallängd och 700 Å oxid sjönk accesstiden ytterligare till 22ns år 1978. Samtidigt har effekt-fördröjningsprodukten minskat från 18 till 1pJ! Jämför snabbheten hos 1k bipolära RAM.

ROBERT.

## Fakta om produkten effekt x fördröjning

All logik är uppbyggd av inverterare. En switchtransistor och ett lastmotstånd ger en utsignal som är insignalen inverterad. Belastningsmotståndet (R) måste vara stort i förhållande till den ledande transistorens resistans ( $R_{ON}$ ) för att kretsen skall fungera som inverterare (spänningsdelning) och för att den skall dra lite effekt. Men samtidigt måste den vara liten för att kretsen skall bli snabb, eftersom man laddar upp lastkapacitansen genom motståndet. Se figur F1.

Värdet på R bestämmer alltså kret-

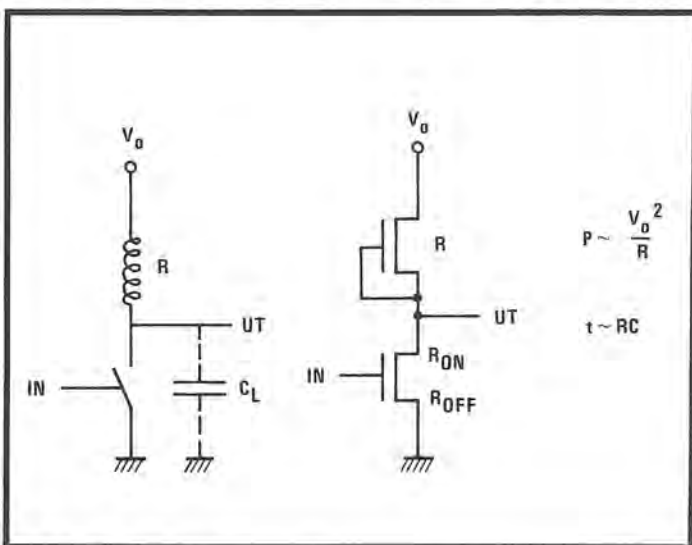
sens prestanda – vi får en snabbare krets om vi ökar dess effektförbrukning. Ett bra godhetstal för kretsens prestanda är effektfördröjningsprodukten (speed-power product)

$$Pt = C_L V_D^2$$

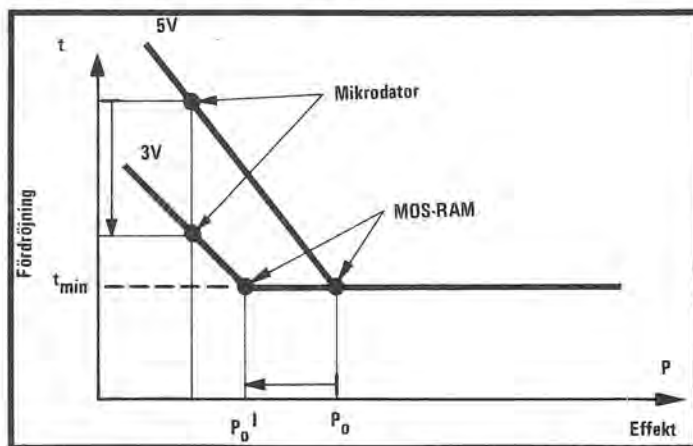
som är oberoende av resistansen. Sambandet mellan fördröjningen och effektförbrukningen illustreras i figur F2, där också den valda transistorteknologins inbyggda fördröjning är inlagd som en begränsning.

Kurvan visar hur man vinner snabbhet genom att öka effekten upp till en viss optimal effekt  $P_0$ . Att därutöver yt-

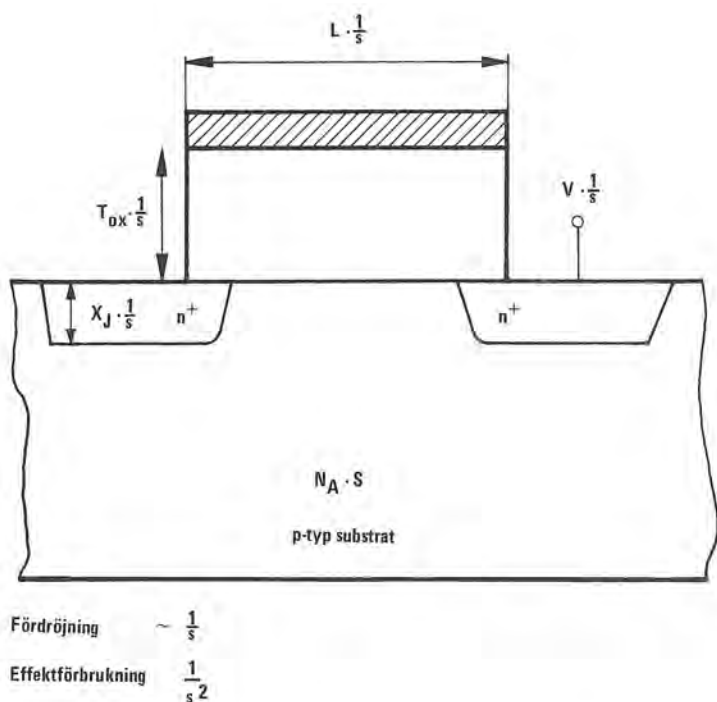
terligare öka effekten vinner man inget på. En MOS-minneskrets är i detta avseende väl optimerad genom att ligga i knäet mellan kurvorna. I en bipolar krets kan man däremot inte göra motståndet större än några  $k\Omega$  eftersom en diffunderad resistans tar stor yta i anspråk. En bipolar krets är alltså snabb till priset av hög effekt och ligger kanske to m på kurvans plana del. En  $I^2L$ -krets, som är kompakt integrerad (litet  $C_L$ ) och drivs med låg spänning ( $V_D = 0.7$  V), har extremt låg effektfördröjningsprodukt (för  $t < t_{min}$ ) och erbjuder alltså hyfsad snabbhet till mycket låg effekt. ■



Figur F1. Inverterare.



Figur F2. Fördröjningen som funktion av effektförbrukningen. Att minska spänningen från 5 till 3V betyder för en mikrodator dubbla hastigheten till samma effekt och för ett MOSRAM samma snabbhet till lägre effektförbrukning.



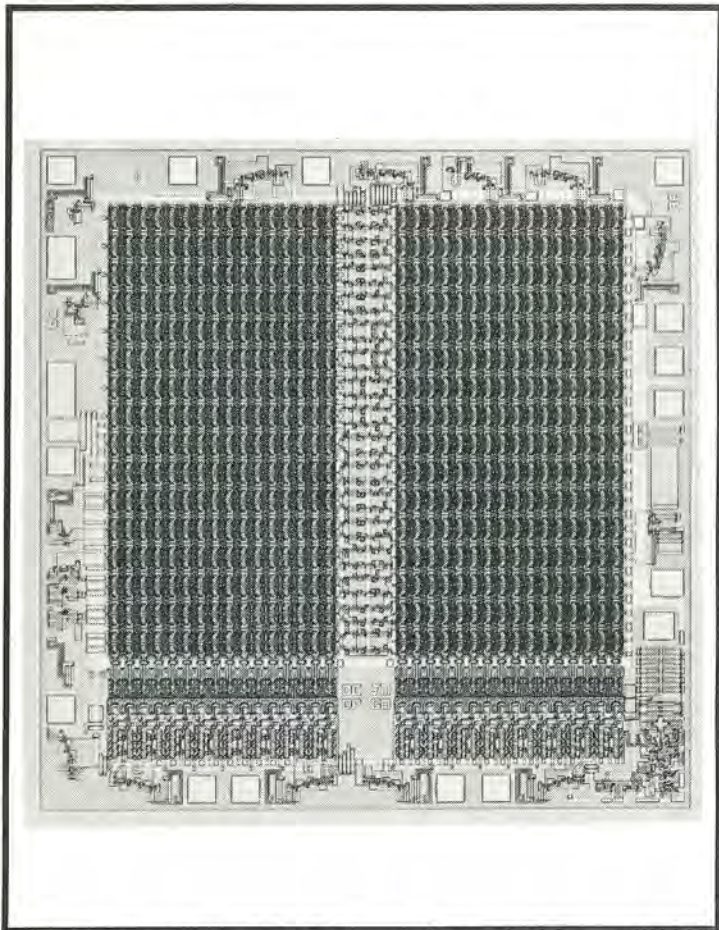
Figur 2. Skala 1:S. En minskning 1/S i komponentdimensioner och matningsspänning får dramatiska effekter på effekt-fördröjningsprodukten. Den minskar  $1/S^3$ .

( $1\mu\text{m}$ ) dubbel diffusionsprocess istället för att bestämmas av fotomaskens linjebredd och etsprocessens noggrannhet (ca  $6\mu\text{m}$ ). Tekniken kallas DMOS när den sker lateralt utefter kiselytan och VMOS när den utnyttjas vertikalt i anisotropiskt etsade V-gropar. Men eftersom det pågår en intensiv utveckling på det fotolitografiska området för att göra finare masker förefaller det mest naturligt med en direkt förminskning av komponentdimensionerna. Den vägen har man gått i den sk HMOS-tekniken, där H står för High-performance, dvs bättre prestanda. I det första steget har man minskat kanallängden till  $3,5\mu\text{m}$  och siktar på  $2\mu\text{m}$  1980, se figur 1.

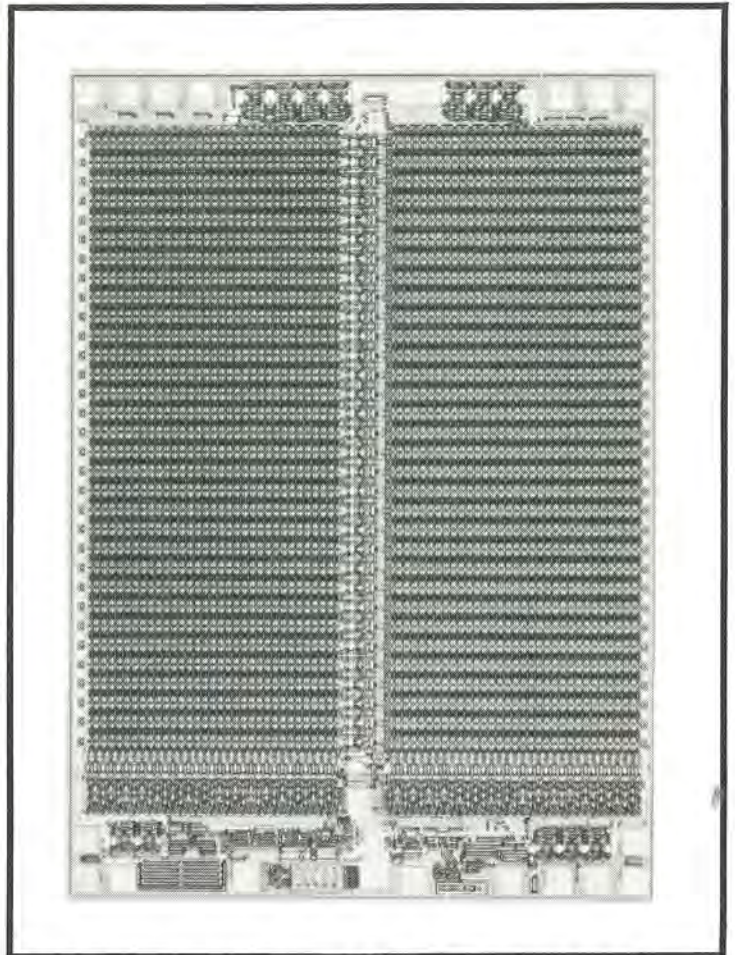
### Bättre prestanda!

I figur 2 visas en MOS-transistor, vars alla dimensioner minskats med en skalfaktor S. Substratdopningen har däremot ökat för att ge rimlig tröskelspänning och genombrötsspänning. Även matningsspänningen har minskats i motsvarande grad. Man kan se vilken enorm effekt detta får på kretsens effekt-fördröjningsprodukt (se faktaruta) –  $1/S^3$ .

I de första HMOS-kretsarna minskade Intel linjebredden från  $6$  till  $3,5\mu\text{m}$  och oxidtjockleken från  $1200$  till  $700\text{Å}$ . Pres- ➔



Figur 3. 2115; 1k statiskt RAM. I standard NMOS-teknik är brickstorleken 3,5 mm i fyrkant. Genom att förminska komponentdimensionerna med 25 % ryms samma krets (2115A) på en bricka med 2,5 mm sida. 45 % minskning av brickytan! Effektförbrukningen sjönk från 325 till 250 mW och accesstiden från 45 till 22 ns!



Figur 4. 2147; 4k statiskt RAM. 3,4×4,8 mm<sup>2</sup>. Genom att minnet är statiskt krävs inte så mycket kontrolllogik utan minnescellerna upptar hela 60 % av ytan. Minnets snabbhet ligger hos rad- och kolumnavkodarna. Själva minnescellerna drar bara 5 μW vardera.

tanda förbättrades dramatiskt, se figur 3, och effekt-fördröjningsprodukten minskade från 4 till 1 pJ. Förbättringen kunde varit ännu större om man kunnat skala även matningsspänningen. Men man är ju bunden till 5V TTL-nivån. Om man 1980 kan minska kanallängden till 2 μm och sänka spänningen till 3 V, skulle effekt-fördröjningsprodukten sjunka till 0,2 kP.

Genom fem viktiga faktorer i MOS tillverknings-teknologin möjliggjordes skalningen av komponentdimensionerna:

1. Kiselsubstratet var 50 Ω cm, högresistivt p-typ, som bl a ger lägre kapacitanser, reducerar substrateffekter och ger högre mobilitet. Viktiga faktorer för hög snabbhet.
2. Den tunnare oxiden ökar transistorens förstärkning och reducerar vissa andra ordningens effekter.
3. Diffusionsdjupet minskades till 0,75 μm genom att man använder långsamdiffunderande arsenik till emitter och kollektor.
4. Finare fotografiska masker och noggrannare etskontroll möjliggjorde 3,5 μm polykiselledare. Ger kortare kanaler och lägre parasitkapacitanser.
5. Noggrann jonimplantation definierar kanalområdena i både driv- (depletion-type) och lasttransistorer (enhancement-type).

### Andra ordningens effekter!

Enligt första ordningens teori följer en ned-

skalad MOS transistor samma regler som den större transistor. Men det finns också andra ordningens effekter, som kan vara viktiga, speciellt om den ursprungliga matningsspänningen bibehålls. Transistor ut-sätts ju då för större elektriska fält.

Tröskelspänningen är en parameter, som påverkas av kanallängd och -bredd, och gör transistor känsligare för processvariationer. Genombrott genom punch-thru är en annan effekt, som kan bli mer kritisk i en kortare kanal. Som tidigare nämnts, reducerar den tunna oxiden dessa effekter så att inga problem uppstår.

En effekt, som skulle kunna inverka negativt på tillförlitligheten, är infångning av elektroner i oxiden. Det något högre elektriska fältet är normalt, innebär en risk att elektroner i kanalen skulle lavininjiceras i styreoxiden och fångas där. Dessa infångade laddningar skulle orsaka en tröskelspänningsdrift och därigenom innebära ett tillförlitlighetsproblem. Men omfattande tillförlitlighetsstudier, som Intel gjort och som bl a presenterades vid tillförlitlighetskonferensen i San Diego, (se Elteknik 12/78) visar att HMOS-minnena har lika hög tillförlitlighet som andra MOS-minnen. Trots allt ger 5V över 700 Å oxid inte högre fält än de dynamiska minnenas 12 V över 1200 Å, och den korta kanalen är alltså ingen komplikation.

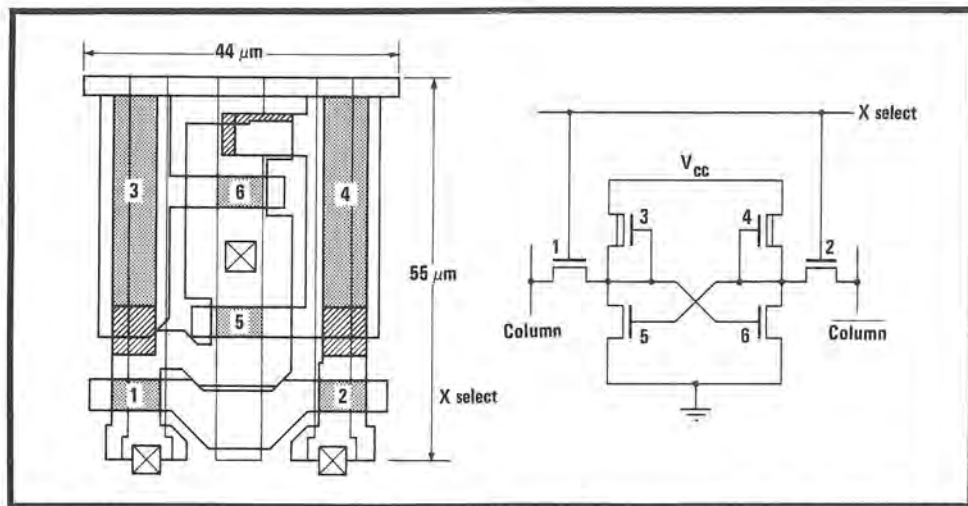
### Bara 50 mW i viloeffekt.

HMOS-tekniken betyder ökad packningstäthet och har därigenom möjliggjort 4-kbitars statiska RAM – 2147. HMOS-tekniken ger också minnet en accesstid på 45 ns, vilket är jämförbart med bipolär teknik. Ändå drar minnet inte mer än 50 mW i viloeffekt!

Minnet, som ryms på en 3,4×4,8 mm<sup>2</sup> kiselbricka, visas i figur 4. Varje minnescell är uppbyggd av sextransistorceller, se figur 5. Vippan består alltså av två korskopplade inverterare, av vilka en drar effekt hela tiden. I viloläge drar de 4096 minnescellerna bara 20 mW, vilket motsvarar 5 μW per cell. Viloläget är helt statiskt och innebär att strömförsörjningen bryts utom till minnescellerna. Cellen drar bara den effekt som krävs för att hålla informationen med tillräcklig tillförlitlighet. Med dagens teknik vore minnen med en viloeffektförbrukning på 10nW per cell möjliga. Men en viloström på 2 nA per cell är obehagligt nära läckströmmarna vid förhöjd temperatur och man får problem med minnesförluster. Viloströmmen måste alltså med säker marginal överstiga pn-övergångarnas läckströmmar för att informationen inte skall gå förlorad. Effektförbrukningen kan jämföras med den i en bipolär minnescell, där ett typiskt värde är 75 μW.

Det som bestämmer minnets snabbhet är





Figur 5. Minnescellen ryms på 0,0024 mm<sup>2</sup>. De långsmala lasttransistorerna motsvarar 5 MΩ. X-select-ledningen är ca 2 pF och laddas upp av radavkodaren på 25 ns.

→ i första hand den snabbhet med vilken radavkodaren väljer ut rätt rad i minnet. Utåt sett är minnet organiserat som 4096 xl. In-ternt är dock organisationen 64×64. Det finns alltså 64 radavkodare och 64 kolumnavkodare, som alla i princip är inverterare (eg NOR-logik). Varje avkodare drar ungefär 2 mW (d v s totalt 256 mW) och är alltså kraftigt dimensionerade inverterare. Det behövs också, eftersom de snabbt skall kunna driva den belastningskapacitans, som de 3 mm långa x-selectledningarna utgör. Snabbheten påverkas inte av cellernas lastmotstånd. Ledningskapacitansen är av storleksordningen 2 pF. Den tid det tar att

ladda upp ledningen blir

$$t = C_L V^2 / P = 25 \text{ ns}$$

Efter 30 ns är alltså informationen tillgänglig på kolumnledningarna då chip-select tar 5 ns. 2147:an har inga kolumnläsförstärkare. Minnescellen driver utgångsbufferen direkt. Denna tar också lite tid innan signalen är igenom. Efter ca 40 ns finns minnesinformationen på utgångsstiftet.

2147 är alltså ett helt statiskt 4-k RAM som har "bipolär" snabbhet och extremt låg viloeffektförbrukning. Beteckningen HMOS för höga prestanda stämmer alltså bra. Komponenten verkar också ha bra till-

förlitlighet, ungefär som för 2125A/15A. Accelererade tester under ett år gav en felfrekvens på 0,02 % per 1000 timmar vid 55 °C.

### Lägre matningsspänningar

HMOS-tekniken har på kort tid inneburit större minnen med bättre prestanda. HMOS är en flexibel teknik eftersom den är en direkt vidareutveckling av standard NMOS-teknik och använder samma krets-lösningar. HMOS kan därför direkt tillämpas på hela produktregistret, d v s även dynamiska minnen och LSI logik, medan t ex VMOS och I<sup>2</sup>L kräver en del nya krets-tekniska lösningar. Man arbetar t ex nu på en 16 bitars mikrodatorfamilj med dynamiska RAM, stora ROM och även EPROM i HMOS-teknik.

För att få full nytta av HMOS prestanda måste även matningsspänningen skalas ner. Det skulle ge ännu bättre tillförlitlighet, men framför allt bättre prestanda. För RAM, som arbetar i mättnadspunkten på effektfördröjningskurvan, skulle en minskning av matningsspänningen från 5 till 3V innebära samma snabbhet till 60 % lägre effekt.

Lägre effekt får stor betydelse när man kommer till 256 kbitars minnen.

För mikrodatorer, som arbetar i området med konstant effekt-fördröjningsprodukt, betyder den lägre matningsspänningen dubbla snabbheten till samma effektförbrukning. Se faktarutan. Kjell O Jeppson

# Ny teknik ger "super-LSI": 5 Mbitars minne på odelad kiselbricka!

En 4-tums kiselbricka rymmer 300 st 16 k minnen. Om man inte delar brickan, utan förbinder delarna med en integrerad databuss, har man plötsligt ett 5 M (!) minne. Vissa delminnen kan ligga i reserv, om någon bit skulle gå sönder.

Det här kan mycket väl vara framtidens massminne. Tekniken heter Wafer Scale Integration – lägg det namnet på minnet!

Hos Actron inom McDonnellDouglas-koncernen arbetar man med ett intressant projekt på ett kompakt, icke-flyktigt halvledarmassminne på 1,2 Gbitar. Två nya idéer är grunden för den mycket höga packningstätheten – Adaptive Wafer Scale Integration (AWSI) och laddningskopplade MNOS-minnesceller (Non-Volatile CCD, NVCCD).

## Kompakt

Wafer Scale Integration betyder mycket hög packningstäthet eftersom varje 4 tums kiselbricka kapslas hel. Istället för att skära itu skivan i "chips" förbinder man helt enkelt de olika kretsarna med en integrerad databuss direkt på kiselbrickan! En enda kiselbricka kan då bli ett 5 Mbitarsminne eftersom den kan rymma 300 st 16 kbitars minnen. Med MNOS-teknik blir minnet dessutom ickeflyktigt

och drar ingen viloeffekt. Förutom att systemet blir kompakt, sparar detta också åtskilliga bondningar vilket i hög grad bidrar till ökad tillförlitlighet hos systemet.

## Integrerad buss

Projektet presenterades nyligen vid *the International Te-*

*lemetry Conference* i Los Angeles. McDonnell Douglas har just framgångsrikt avslutat arbetet med det integrerade bussystem som ska förbinda de olika kretsarna på kiselbrickan och därmed möjliggöra wafer scale integration.

De olika minneskretsarna är kopplade till waferns buss genom associativ, ickeflyktig kontrolllogik i MNOS-teknik. Varje sådan avkodare programmeras med en unik adress som kopplar in minnet till bussen när den stämmer med adressen på bussen. Härigenom kan man koda bort de minnen som visade sig inte fungera vid produktionskontrollen.

## Reservminne

Eftersom avkodningslogiken är ickeflyktig och elektriskt ändringsbar, kan den programmeras om under körning. T ex kan man låta den felrättande koden sköta detta

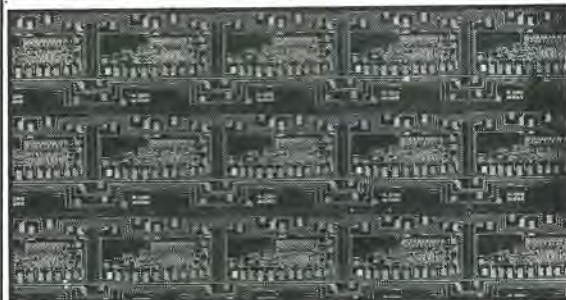
Forts sid 24

så att om något minne faller ifrån under körning så överförs dess information till ett reservminne som övertar koden. Inbyggda reservminnen på kiselbrickan ökar alltså systemets tillförlitlighet!

## Ersätter bandspelare

Actron är ett av de företag som idag satsar mycket forskning och utveckling på ickeflyktiga MNOS-minnen. Man är bl a först med att redan idag ha 4 kbitars minnen i n-kanalteknik. (Se artiklar om ickeflyktiga minnen i El-teknik 1978:16 och i detta nummer.) Man arbetar nu vidare på 16 kbitminnen för att tillsammans med wafer scale integration-tekniken bygga ett 1,2 Gbitars minne för att ersätta bandspelare i rymdfarkoster. Detta minne skulle helt enkelt bestå av 256 st 5Mbit wafers! Detta minne skulle rymmas i en 16 dm<sup>3</sup> låda och väga ca 10 kg. Det är 10 gånger större kapacitet än den bubbelminnesprototyp som NASA tagit fram och ändå bara halva vikten. Effektförbrukningen skulle också bli låg, bara 25 W eftersom man kör med CCD-teknik. Snabbheten blir 1 MHz med n-kanal MNOS-teknik. NASAs 0,1 Gbit-bubbelminne drar 100 W vid 100 kHz.

KJELL O JEPSSON



*I WaferScale Integration kopplas de olika minneskretsarna ihop direkt på kiselbrickan istället för att kapslas var för sig. En enda 4 tums kiselbricka blir ett 5 Mbitars minne! Varje minne kopplas till skivans buss genom ickeflyktig MNOS-logik. Denna kan programmeras så att felaktiga minnen kopplas bort, och att en del av de fungerande minnena sparas som reservminnen som kan kopplas in senare under körning!*

# Optiskt skivminne lagrar $10^{10}$ bitar

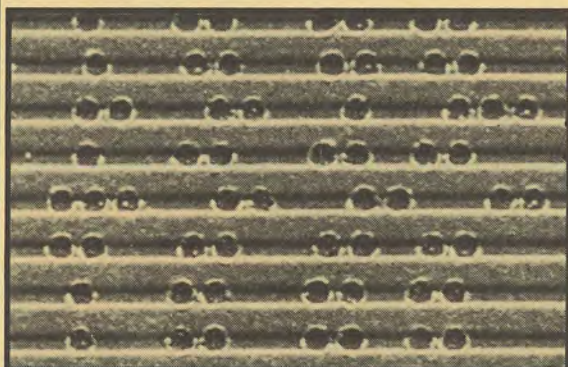
En "dataskiva" i LP-format med plats för 10 miljarder informationsbitar har utvecklats vid Philips forskningslaboratorier i Holland. Skivminnet är baserat på samma teknik som videaskivan (VLP) men minnet är både läs- och programmerbart.

Ännu så länge är endast ett prototypsystem i drift hos Philips och man vill inte ge någon tidpunkt för systemets och programvarans introduktion på marknaden. Vad systemet kommer att kosta är idag också ganska osäkert. Men prototypen visar att tekniken nu finns att göra kompakta optiska massminnen med stor lagringskapacitet. Utvecklingen av den nya diodlasern som systemet använder och ett matchande "dataskikt" har varit av största betydelse. Naturligtvis har också Philips erfarenheter från utvecklingsarbetet av videaskivan betytt mycket.

Detta diodlasersystem läser optiska data på samma sätt som på videaskivan. Genom att höja effekten till lasern kan man emellertid också bränna in ny information som små hål i skivans tunna "dataskikt". För att förenkla systemet och för att snabbt kunna positionera in det optiska läs/skrivhuvudet är



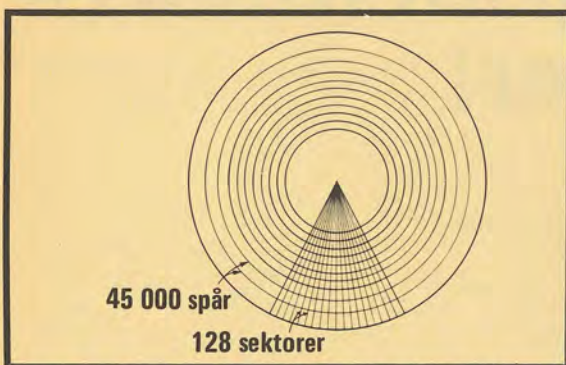
På sin nya dataskiva ( $\varnothing$  30 cm) kan Philips lagra 5 miljarder bitar på varje sida. Varje dataskiva motsvarar därmed lika mycket information som 500 000 maskinskrivna A4-sidor. Det innebär att skivan kan lagra tio gånger mer än dagens bästa magnetiska skivminne. Skivans enorma lagringskapacitet öppnar nya möjligheter till lagring av inte bara alfanumerisk text utan även utrymneskrävande bilder. Med sin snabba accesstid, 250 ms, har dataskivan stora möjligheter att ersätta såväl papper som mikrofilm, tror man på Philips. Man tänker speciellt på det "papperslösa kontoret" och på sjukhusen (fullständiga patientjournaler kompletterade med röntgenbilder, EKG-kurvor o s v).



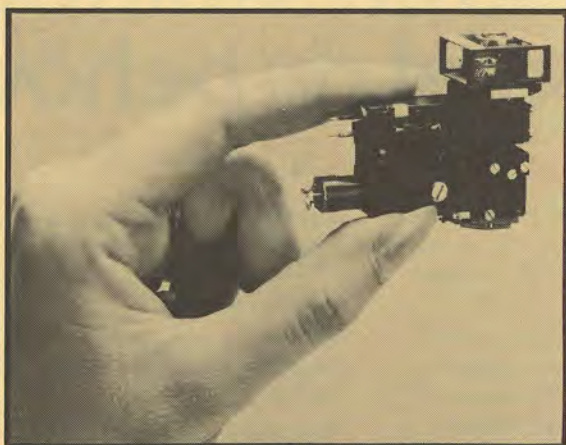
Liksom i VLP-systemet är dataskivan en pressad plastskiva. På baksidan går det spiralformade spåret,  $0,6 \mu\text{m}$  brett och  $0,06 \mu\text{m}$  djupt, där information ska lagras. "Dataskiktet" är ett 300 Å tellurumbaserat skikt som förångas på baksidan. I detta skikt bränns informationen in som små hål. Ljuset fokuseras genom den 1 mm tjocka plastskivan som därigenom skyddas mot damm, fingeravtryck och repor. Två sådana plastskivor placerade mot varandra gör dataskivan dubbelsidig. Elektronmikroskopbilden visar spåren i dataskivan och den inbrända informationen som  $1 \mu\text{m}$  hål. Avståndet mellan spåren är  $1,67 \mu\text{m}$ .

skivan försedd med ett spår precis som videaskivan. Varje varv på spåret är indelat i adresserbara sektorer som huvudet kan leta fram. En linjärmotor kan snabbt flytta huvudet från innersta till yttersta varvet. Letar det efter en viss sektor hamnar huvudet först grovinställt inom 10 varv från det rätta. Medan skivan roterar ett varv hittar sedan huvudet rätt sektor. Maximal accesstid är 500 ms. Felfri läsning av informationen har man uppnått med en felrättande kod som klarar 99,9 % av alla fel. Övriga fel upptäcks av systemet och data i sådana felaktiga sektorer skrivs om i andra sektorer. Det nya skivminnet är ett så gott som helt säkert arkiv!

KJELL O JEPSSON



På varje dataskiva går det spiralformade spåret 45 000 varv. Varje varv är indelat i 128 sektorer som är individuellt adresserbara. Varje sektor innehåller en adress och specificerat utrymme för 1-kbit information, även om de yttre sektorerna har dubbelt stor kapacitet. Det betyder plats för 5 miljarder bit med en genomsnittlig accesstid på 250 ms. Eftersom skivan roterar 2,5 varv/s betyder det en datahastighet på 300 kbit/s. På laboratoriet har man emellertid testkört systemet upp till 6Mbitar/s. Det optiska huvudet förflyttas från inner- till yttervarv på 100 ms och grovinställs först på 10 varv när. Under ett varv (400 ms) finner sedan huvudet rätt sektor. Maximal accesstid blir en halv sekund.



Det kompakta läs-/skrivhuvudet väger bara 40 g. Förutsättningen för detta är den kompakta diodlasern, ett AlGaAs-halvledar-chip,  $0,1 \text{ mm}$  i fyrkant, kapslat i en transistorliknande kapsel. Trots sin ringa storlek är effekten hos det pulsade ljuset tillräcklig för att kunna läsa och skriva information på skivan. Diodlasern ersätter därmed betydligt större gaslasrar. Under skrivning utvecklas 12 mW under 50 ns pulser vilket räcker för att bränna  $1 \mu\text{m}$  hål i dataskiktet. Under läsning går lasern på reducerad effekt. Ljusväglängd 820 nm.

# Icke-flyktiga minnen (2): Ny minnescell förenar goda egenskaper

Nu kommer minnesceller som har både EPROMs goda lagringsegenskaper och MNOS-minnenas fördel att informationen lätt kan ändras elektriskt. Eltekniks Kjell O Jeppson har tittat på två sådana minnen. De visades på Electronica i München i höstas av SGS-ATES och Hughes Microelectronics. Artikeln kan ses som en fortsättning från ET 16/78, där Kjell O Jeppson introducerade begreppet "icke-flyktiga minnen".

Den enda etablerade icke-flyktiga minnescellen idag är MNOS-transistorn. Sådana minnen marknadsförs som EAROM och sk VINRAM (RAM-minnen med icke-flyktig uppbackning) av framför allt GI och NCR. Även Nitron och Plessey har MNOS-minnen på programmet.

Minnena är tillverkade i p-kanalteknik och kräver därför negativ matningsspänning (+5 och -12 V) och en hög programmeringsspanning (i allmänhet -30 V). Undantaget är Plesseys små minnen, som al-

strar den höga spänningen internt på kretsen. Mycket utvecklingsarbete läggs nu ner för att ta fram n-kanal MNOS, en utvecklingsfas som andra MOS-kretsar redan genomgått. De enda som har n-kanal MNOS-teknik i dag är Actron, inom McDonnell-Douglas-koncernen.

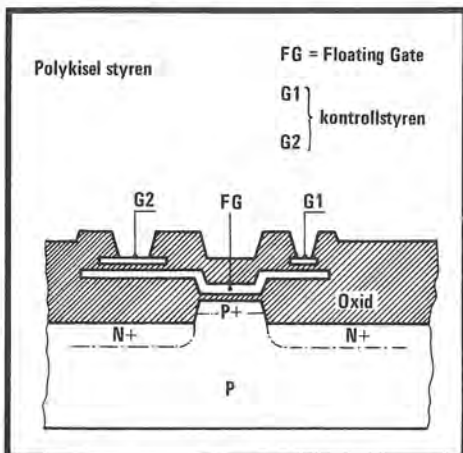
En svaghet hos MNOS-minnena är att den lagrade informationen sakta läcker ut. Lagringstiden uppges i allmänhet till 1-10 år vid 70 °C. Mycket bättre lagringsegenskaper får man om informationen lagras på ett elektriskt flytande styre som i EPROM (UVPROM) istället för i fallor i nitriden. EPROM är ju i gengäld svåra att radera eftersom raderingen kräver uv-ljus.



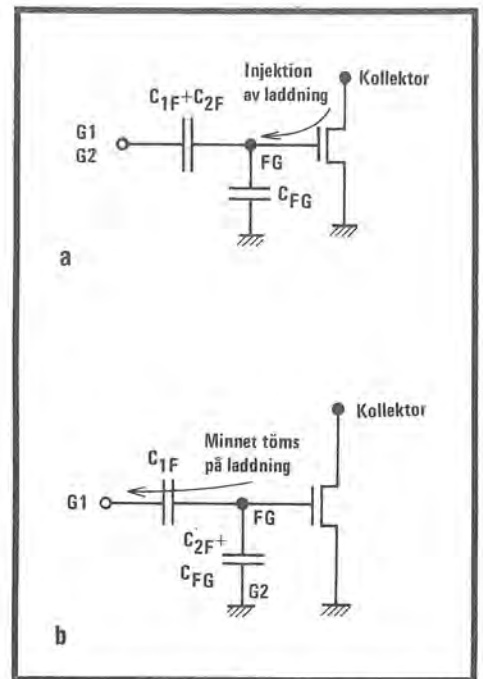
## Först med NV-RAM

SGS-ATES påstår sig nu vara först med att i en minnescell ha kombinerat EPROMs goda lagringsegenskaper med EAROMs fina möjligheter att elektroniskt både kunna raderas och programmeras. Man kallar sitt minne NV-RAM (Non-Volatile RAM). Rader- och skrivtider är dock fortfarande betydligt längre (50 ms resp 100 ms) än lästiden (ca 1 μs). Minnet kräver också flera olika matningsspänningar, bl a +30 V. Både radering och programmering av minnescellen sker genom en serie av 1 ms pulser (typiskt 200) istället för en lång puls.

För att ge minnet goda informationslagringsegenskaper utnyttjar SGS-ATES en MOS-transistor med ett elektriskt flytande styre där informationen lagras precis som i ett EPROM. Detta är FAMOS-transistorn (Floating-gate Avalanche-injection MOS). För att styra den elektriska raderingen och programmeringen är transistor dessutom försedd med två kontrollstyren ovanpå det flytande styret. Se figur 1. En sådan transistor kallas ibland SAMOS (Stacked-gate Avalanche-injection MOS). Hur transistoren arbetar vid radering och programmering visas också i figur 2.

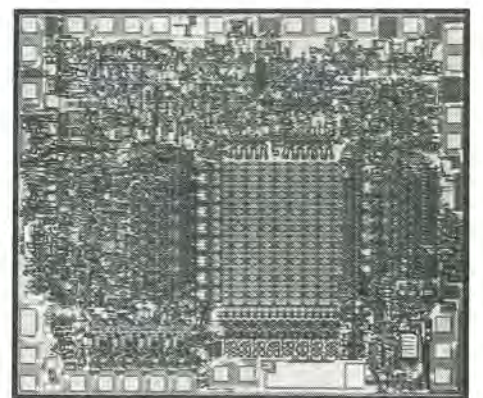


Figur 1. Minnestransistorn i SGS-ATES NV-RAM. Med kontrollstyrena, som är kapacitivt kopplade till det isolerade (flytande) styret, kan man styra dettas potential.



Figur 2 a. Vid programmering parallellkopplas kontrollstyrena för att ge maximal koppling till det flytande styret. Den positiva kontrollspänningen hamnar huvudsakligen på det flytande styret. En hög kollektorspänning ger lavingenombrott till substratet. En del elektroner får då så hög energi att de kan ta sig över isolatorns energibarriär och transporteras till det flytande styret. Där lagras laddningen i styrets potentialgrop och hindras av isolatorns energibarriär från att läcka ut. Den lagrade laddningen bestämmer sedan transistorens tröskelspänning.

Figur 2 b. Vid radering måste elektronerna tillföras energi för att ta sig ur potentialgropen. I ett UVPROM tillförs denna genom ljuset. Här sker det elektriskt genom att det ena kontrollstyret (G2) jordas och därigenom ger det flytande styret stark koppling till jord. Spänningen på det andra kontrollstyret (G1) ger då elektronerna tillräcklig energi för att ta sig över energibarriären till kontrollstyret (G1).



Figur 3. Kontrollenheten i SGS-ATES nya elektroniska TV-kanalväljare, det Elektroniska Program Minnet (EPM) M193. Centralenheten i detta system innehåller kontrolllogik, tidskretsar, D/A-omvandlare och NV-RAM. Minnet kan lagra 16 olika 17 bitars ord som anger band, kanal och fininställning för 16 TV-stationer. D/A-omvandlaren styr en varicap tuner med 8192 steps upplösning.

## 67 Mbitars icke-flyktig minnesmodul:

En militär tillämpning för icke-flyktiga MNOS-minnen är att ersätta skiv- och trumminnen som andra ordningens minne. **Westinghouse** har utvecklat en prototyp på en MNOS/BORAM-minnesmodul (Block-Orienterat RAM), som vi presenterade redan i förra artikeln, *Elteknik* 16/78.

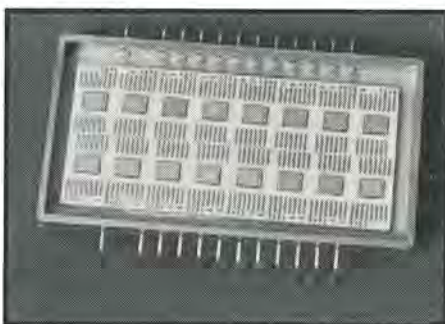
Minnet är 100 gånger snabbare än ett trumminne och har en accesstid på 30  $\mu$ s och en datahastighet på 250 kHz. Minnets informationslagringstid är 4000 h vid  $-55 \dots 125$  °C. Minnet väger 35 kg och drar 90 W.

### Uppbyggnad

Minnet har 8 kbitars minneskretsar, där informationen läses ut parallellt till ett skiftregister på samma bricka som minnet. Informationen matas sedan ut snabbt i serieform. Varje block består av 8192 ord och tar 33 ms att överföra. Minnet är uppbyggt på 32 kort, som vardera rymmer 19 sådana hybridkapslar. Varje hybridkapsel rymmer 16 st 8 kbitars MNOS-minnen. Data lagras i 38 bitars ord med informationen i 32 bitar och 6 bitars felrättande Hammingkod. Effektiv lagringskapacitet blir 67.1 Mbit. Effektförbrukningen på 90 W motsvarar 10 mW per chip.



67,1 Mbitars MNOS/BORAM.



Hybridkapsel rymmer 110 kbitars effektiv information. (131 kbitar inklusive felrättande Hammingkod.)

## Ny TV-kontrollkrets

Den första tillämpningen för sitt NV-RAM som SGS-ATES annonserar är det elektroniska programminnet M193. Man har tagit fram en familj av kretsar till en moduluppbyggd TV-kanalväljare. Kontrollenheten i detta system innehåller förutom all kontrolllogik, även ett icke-flyktigt NV-RAM för att lagra kanalfrekvenserna. Se figur 3. Kontrollenheten styr sedan en TV varicap tuner med 8192 stegs upplösning. Minnet kan lagra 16 TV-stationer. SGS-ATES annonserar också ett  $4 \times 256$  bitars NV-RAM, som kommer senare.

## Konkurrerar med NOVRAM

**Hughes Microelectronics** i England har utvecklat ett icke-flyktigt minne, som de kallar NOVRAM. Detta är ett vanligt CMOS-RAM med möjlighet att dessutom spara informationen icke-flyktigt, figur 4. Det första minnet är en 6-dekad räknare men man planerar också ett större minne på  $32 \times 8$  bitar. Räknaren har sin givna tillämpning i bilvägmätare och liknande industriella räknare.

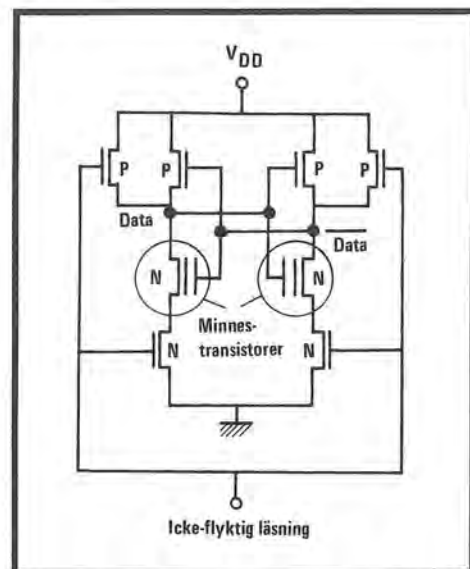
Minnet har både RAM- och ROM-funktioner sammanvävda, men ändå oberoende. Informationen i ett visst läge kan sparas icke-flyktigt. Oberoende av detta kan räknaren nollställas och sedan börja räkna igen till något nytt läge då den kan återställas till det ursprungliga läget.

## Tunneleffekt

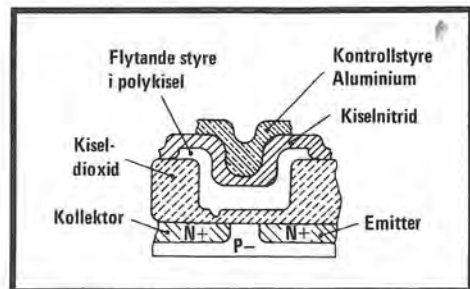
Hughes utnyttjar också en MOS-transistor med dubbla polykiselstyren för icke-flyktigt lagring på ett flytande (isolerat) styre, figur 5. Laddningsinjektionen sker emellertid inte med lavingenombrott utan med tunnling genom tunn oxid. (Skillnaden är "kvantmekanisk": vid lavinjektion får elektronerna tillräckligt med energi för att ta sig över oxidens energibarriär, vid tunnling går elektronerna rakt igenom den tunna energibarriären m h a det höga elektriska fältet.) Det är alltså ingen FAMOS-transistor emedan laddningen tunnlar såsom i en MNOS-transistor. Med denna minnescell har man lyckats förena de bästa egenskaperna hos FAMOS- och MNOS-transistorerna.

Minnet har mycket fina lagringsegenskaper och är lätt att använda vid måttliga spänningar (12 V). Minnet uppges klara minst  $10^6$  omprogrammeringscykler utan att förlora sina fina egenskaper.

Minnet drivs med 5 eller 12 V. Med 5 V fungerar minnet som ett vanligt CMOS-RAM, men en 12 V puls aktiverar de icke-flyktiga minnescellerna. Denna energi är tillräcklig för att lagra laddning på de flytande styrena. Innan spänningen slås av från kretsen alstrar man en 12 V puls som sparar informationen så att den finns kvar när man slår på räknaren igen. Minnet kan också köras på 12 V men då lagras varje nytt tal i räknaren icke-flyktigt. Men då får



Figur 4. Minnet har en vanlig CMOS-RAM-minnescell med två korskopplade inverterare (D-vippa). Vid icke-flyktigt skrivning ökar tröskelspänningen hos den ledande minnestransistorn och minskar hos den oledande.



Figur 5. Minnescellen är en n-kanal MOS-transistor med dubbla polykiselstyren. Den kapacitiva kopplingen mellan styrena är mycket stark så det flytande styret antar nästan samma potential som kontrollstyret. Det flytande styret är alltså isolerat men ändå elektriskt kontrollerbart. Beroende på styrspänningen kan laddning tunnla till eller från styret genom den tunna oxiden ovan kollektorn. Tröskelspänningen ändras.

man se upp med att det maximala antalet omprogrammeringar är  $10^6$ . Räknaren som kallas HML 050 arbetar i frekvensområdet 2–50 kHz.

## CMOS-program

Minnescellen presenterades från början av **Hughes Aircraft** i USA, där man framför allt satsar på n-MOS-teknik för att uppnå samma packningstäthet som i EAROM. Hughes Microelectronics i England satsar däremot på CMOS eftersom man har ett omfattande CMOS-program inte minst på Custom-Design-sidan. Man tillverkar ju bl a RCA:s mikrodatorprogram 1800-serien.

Man levererar också skraddarsydda kretsar även i små serier (25–10 000) genom sitt COMIC-program (Customer Organised MOS Integrated Circuits). Genom att användaren själv kombinerar ihop kretsen med utprovade celler ur Hughes cellbibliotek blir utvecklingskostnaderna låga och utvecklingstiden kort. *Kjell O Jeppson*

# Icke-flyktiga minnen: Lovande teknik som hårdlanseras



**Icke-flyktiga MNOS-minnen kommer nu i TV-sammanhang för digital lagring av frekvensinställningarna i kanalväljaren. För övrigt är tillgången på kretsar fortfarande begränsad. Men nya kretsar är i vardande och i USA satsar man en hel del på att lansera de icke-flyktiga minnena. Kjell Jepsson berättar. Kjell är föredator för Elteknikens senaste tillskott bland fackredaktörerna. Mikroelektronik är hans område.**

*Ett önskemål på ett dataminne är att informationen ligger kvar även utan matningsspänning. I ett icke-flyktigt minne krävs ingen energi för datalagringen, säger Kjell Jepsson.*

Dominerande icke-flyktiga minnen är de magnetiska minnena – skivor, band, bandkassetter, magnetkort etc. Trots den integrerade kretsteknikens snabba utveckling har det hittills inte funnits något konkurrenskraftigt icke-flyktigt halvledarminne, som är elektriskt ändringsbart. För ett sådant finns många användningsområden, speciellt i små system, som utnyttjar halvledarteknikens möjligheter till miniaturisering.

Den stora fördelen med halvledarminnen är att de är snabba, billiga och har hög packningstäthet. En långtgående miniaturisering är möjlig, speciellt som minnet kan kopplas ihop direkt med logikkretsarna, ja t o m integreras på samma kiselbricka.

## CMOS-kretsar genombrott

De vanliga, icke-flyktiga halvledarminnena idag är antingen omöjliga att radera (ROM, PROM) eller omständiga att radera (EPROM eller UV PROM som kan raderas genom belysning med UV-ljus). Ett sätt att skapa icke-flyktighet är att se till att strömmen till ett vanligt RAM aldrig bryts, t ex med uppbackningsbatterier. Ett genombrott innebär där den nya generationen CMOS-kretsar, som i sitt viloläge är så extremt effektsnåla att de kan drivas av ett batteri i årtal. För permanent lagring är dock metoden mindre lämplig eftersom den ändå kräver ett batteri som har begränsad livslängd.

De verkligt icke-flyktiga minnen som förekommer bygger antingen på MNOS- eller FAMOS-principen, se faktaruta. Det minne som hunnit längst i utvecklingen är MNOS-minnet. MNOS-minnet har varit "på gång" i några år men inte riktigt slagit

igenom ännu. Det beror framför allt på tillverkningstekniska svårigheter. Minnesfunktionen kräver bl a ytterst noggrann kontroll av isolatorskiktets elektriska egenskaper. Det tunna oxidskiktets tjocklek på 2 nm måste t ex kunna tillverkas reproducerbart på 0.2 nm när.

## Kommersiella minnen finns

Den ledande tillverkaren av stora MNOS-minnen är NCR, som utvecklat både 4-kbitars och 8-kbitars minnen. Samma minnen säljs kommersiellt av General Instruments och kanske snart också av Nitron, som nyligen köpt licensen till dessa kretsar. Nitron säljer f n 1-kbitars minnen, som företaget själv utvecklat. GI och Nitron

tror på MNOS som en ekonomiskt lönsam komponent och satsar rent kommersiellt. Deras största marknad är kretsar för frekvensinställningen i TV-tuners. Där är f o också Plessey i England konkurrent. NCR, som utvecklat de mest avancerade minnena, gör dessa för internt bruk i sina kassaterminaler. NCR har en egen mycket modern halvledarfabrik för tillverkning av MNOS-minnen och egna "kundanpassade" MOS-kretsar till sina datorsystem och kassaterminaler. Man tillverkar några miljoner kretsar om året och bygger f n ytterligare en halvledarfabrik. Även för militära tillämpningar och för rymdbruk är intresset mycket stort för MNOS-tekniken. Under olika kontrakt satsar framför allt Sperry Univac, Westinghouse, Rockwell International och Mc Donnell Douglas.

## Fakta om BORAM

Westinghouse har utvecklat en prototyp på en MNOS/BORAM-minnesmodul (Block-Orienterat RAM). Detta är ett icke-flyktigt, andra ordningens minne avsett att ersätta skiv- och trumminnen. Minnet är 100 gånger snabbare än ett trumminne med en accesstid på 30  $\mu$ s och en datahastighet på 250 kHz. Minnet har en informationslagringstid på 4000 h. Minnet är uppbyggt med 2- eller 8-kbitars minneskretsar, där informationen läses ut parallellt från minnet till ett skiftregister på samma bricka. Informationen matas sedan ut i serieform. Blockstorleken är 8 192 ord och det tar 33 ms att överföra ett block. Minnesmodulen är uppbyggd på 32 kort som vardera rymmer 19 hybridkapslar med vardera 16 minneskretsar. Data lagras i 38 bitars ord där informationen ligger i 32 bitar och 6 bitar används för felrättande Hammingkod. Effektiv lagringskapacitet blir 16,8 resp 67,1 Mbitar. Effektförbrukningen är 90 W vilket motsvarar 10 mW per kapsel.

## EAROM och WAROM

Ett MNOS-minne är i allmänhet uppbyggt som ett ändringsbart läsminne (EAROM = Electrically Alterable Read Only Memory). Accesstiden är 700 ns – 1  $\mu$ s, medan det tar 1–100 ms att radera eller skriva. Eftersom alla MNOS-transistorer ligger i samma substrat raderas hela brickan samtidigt. För att kunna radera enstaka ord måste dessa ligga i olika substratfickor som är isolerade från varandra. Detta kräver epitaxiellt kisel och extra tillverkningssteg. Ett sådant ordraderbart minne betecknas WAROM (= Word Alterable ROM). Alla idag tillgängliga MNOS-minnen är tillverkade med p-kanalteknik. Därför är matningsspänningarna negativa (-12V och -30V medan +5V är för TTL-anpassningen). Accesstiden är typisk för en p-kanalsprocess. ➔

# Fakta om minnes-transistorerna

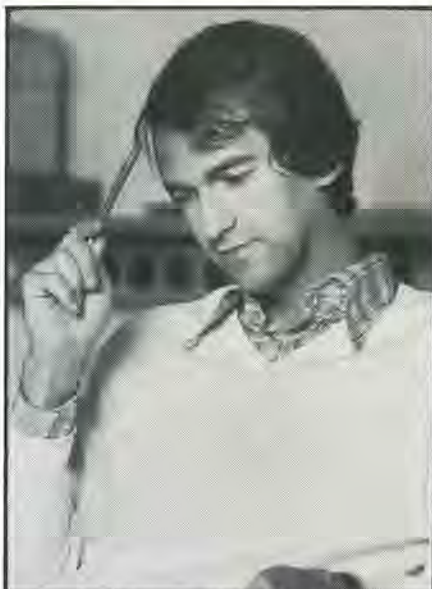
## MNOS-transistorn

MNOS-transistorn fungerar som en vanlig MOS-transistor men har variabel tröskelspänning eftersom man kan lagra laddning i isolatorn. Nitriden innehåller nämligen ett stort antal fällor vid skilljeytan till oxiden (inom 10–20 nm) där såväl positiv som negativ laddning (hål eller elektroner) kan lagras. Laddningen injiceras genom tunnling genom den tunna oxiden om en stor spänningspuls läggs på styret. Genom att byta polaritet på spänningen kan minnet både programmeras och raderas elektriskt.

Informationen i transistorn testas med en mindre lässpänning på styret. Beroende på sitt informationsinnehåll blir transistorn antingen ledande eller oledande. Om en transistor raderas flera gånger utan att skrivas kan tröskelspänningen driva iväg. För att hindra detta ligger en konventionell MOS-struktur i serie med minnesstrukturen, s k split-gate struktur. Se figuren.

Utän styrspänning har fällorna hög bindningsenergi och laddningen ligger kvar mycket länge. En viss minnesförlust är emellertid helt naturlig eftersom laddningen inne i isolatorn långsamt läcker ut. Minnets lagringstid (retention time) är 1–10 år utan matningsspänningar. Avgörande för lagringstiden är isolatorns kvalitet. Den bestämmer dels antalet fällor och deras läge i nitriden dels eventuella läckströmmar, som kan minska lagringstiden. Oxidens tjocklek är också viktig för såväl laddningsinjektionen vid radering/programmering som laddningsutläckningen vid lagring. Oxid tjockleken är en kompromiss mellan vettig raderings/programmeringstid och lång lagringstid.

Att lagra information i en dubbelskiktis-isolator är alltså en rätt komplex teknik, som ställer höga krav på tillverkningstekniken. Detta är ett av skälen till minnets långsamma utveckling. Minnets matningsspänningar måste väljas så att minnet relativt snabbt påverkas av raderings/programmeringsspänningen men är helt opåverkat av lässpänningen. Laddningsinjektionen är exponentiellt beroende av styrspänningen varför en kraftig styrspänning ( $\pm 30$  V) ger snabb radering/programmering (1–10 ms) medan lässpänningen (12 V) lämnar cellen opåverkad åtminstone under ansenlig tid. Maximala antalet läsningar som kan göras brukar vara ca  $10^{11}$  innan minnet måste friskas upp. Den höga spänningen över isolatorn vid radering/programmering ger på sikt upphov till vissa utmattningsfenomen så att minnets lagringsegenskaper allvarligt försämras eller helt går förlorade. Maximala antalet



*MNOS-transistorn är helt lik en vanlig MOS-transistor, sånär som på styreisolatorn. Den består av ett dubbelskikt av nitrid och oxid istället för enbart oxid. MNOS betyder alltså Metal-Nitride-Oxide-Semiconductor. Oxidskiktet är mycket tunt, 1...3 nm, medan nitridskiktet är 40...100 nm.*

omprogrammeringscykler brukar vara ca  $10^6$  gånger.

## FAMOS-transistorn

De elektriskt programmerbara UVPROM, i vilka informationen kan raderas med UV-ljus, utnyttjar den s k FAMOS-transistor som minneselement. FAMOS betyder Floating-gate Avalanche-injection MOS. Som namnet antyder lagras laddningen här på ett elektriskt flytande styre, som ligger inbakat i isolatoroxiden. Styret är isolerat från kiset genom 40–100 nm oxid och p g a denna oxid tjocklek används istället lavinjektion av laddning till styret vid programmeringen.

Genom en måttlig modifiering av denna minnescell kan den göras elektriskt raderbar. Man använder då styrspänningar av båda polariteterna på kontrollstyret vid radering resp programmering. Vid radering av minnet fås lavingenombrott mellan emitter och substrat (+ 36 V resp - 5 V). En negativ styrspänning (- 40 V) på kontrollstyret gör att endast hål injiceras till det flytande styret.

Efter raderingen blir tröskelspänningen negativ och transistorn leder ("0"). Vid skrivning av minnet injiceras elektroner till styret så att transistorn blir oledande ("1"). Man har då positiv styrspänning (+ 26 V) och utnyttjar den låga genombrotts-spänningen mellan kanalen vid kollektorn och

den extra p<sup>+</sup>-diffusionen. Varje minnescell består av en FAMOS-transistor och en selecttransistor.

Rent matematiskt är modellerna för MNOS- och FAMOS-transistorerna mycket lika, men eftersom de båda minnestransistorerna bygger på olika fysikaliska fenomen får vi olika starka tids-, spännings- och temperaturberoenden för de olika förlöppen. Så är tex utläckningsmekanismerna mycket långsammare i FAMOS-transistorn vilket ger den mycket goda lagringsegenskaper. I allmänhet uppges inte ens lagringstiden i databladet, därför att en lagringstid på minst 10–20 år är att vänta. Inte heller har lässpänningen någon nämnvärd inverkan på informationslagringen utan antalet läscykler är "obegränsat". Som läsminne har detta minne alltså goda informationslagrande egenskaper, är snabbt (650 ns) och går på standardiserade matningsspänningar (+ 5 V och + 12 V). Minnet är däremot mycket bökigt och svårhanterligt vid omprogrammering. Det kräver flera olika höga matningsspänningar. (+ 26 V, + 36 V, - 40 V). Radertiden är också ganska lång, ca 60 s per kapsel.

Det finns också anledning att misstänka att FAMOS-minnet är betydligt känsligare för utmattning vid upprepade omprogrammering av MNOS-minnet. Några särskilt utförliga testrapporter föreligger dock inte ännu men minnet uppges klara ca 1 000 omprogrammeringar. De elektriskt raderbara FAMOS-minnena bygger på en ännu ganska omogen teknik.

## Nya minneskomponenter

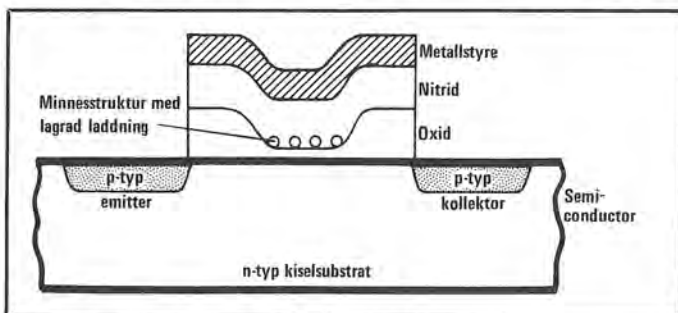
Fortfarande pågår en hel del forskningsarbete på att hitta en bättre icke-flyktig minneskomponent. Alla bygger dock på principen att lagra laddning i isolatorn. För att komma från oberäkneligheter i fällorna i nitriden vore någon form av flytande styre att föredra. Ett försök att bättre bestämma fällfördelningen i nitriden genom att wolf-randopa den har övergivits.

Olika andra försök att placera ett flytande styre på ett tunt skikt (ca 10 nm) av oxid eller nitrid pågår både på Hughes i USA och Fujitsu i Japan. Genom att reducera isolator tjockleken skulle man också kunna reducera de höga matningsspänningarna vid radering/programmering. Förhoppningsvis går det att genomföra utan försämrade lagringsegenskaper.

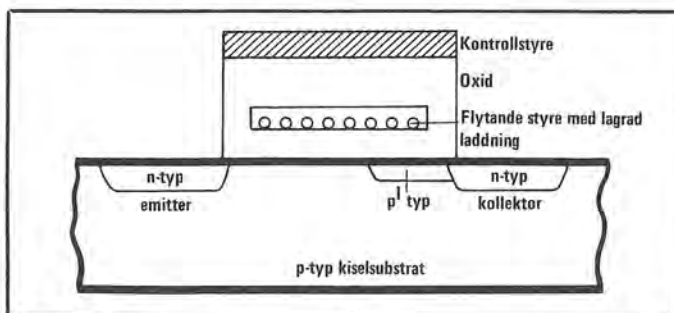
Som tidigare nämnts är en sådan komponent mycket känslig för defekter i den tunna isolatorn.

## Typiska data för MNOS

*Matningsspänningar*  
vid läsning: + 5,0 – 12 V  
vid radering/programmering: - 30 V  
*Accesstid:* 700 ns - 1  $\mu$ s  
*Radertid:* 10–100 ms per kapsel (eller per ord)  
*Skrivtid:* 1–100 ms per ord



MNOS-transistor med split-gate-struktur.



Elektriskt raderbar FAMOS-transistor.



Man kan vänta sig många tillämpningar av MNOS-tekniken när den väl slår igenom. MNOS-minnen kan t ex ersätta bandkassetter där informationsmängden inte är alltför stor.

En MNOS-minnescell kan bestå av en eller två MNOS-transistorer. Entransistorceller ger högre packningstäthet medan tvåtransistorceller ger större okänslighet mot utläckning, lässtörningar och utmattning efter omprogrammering. Den ena transistorn innehåller en etta och den andra en nolla. Transistorerna är kopplade som emitterföljare till en vippra, som känner skillnaden i tröskelspänning. Vid entransistorcell jämförs cellen med en fix referensspänning. En god kompromiss är att låta referensspänningen bestämmas av en kolumn extra MNOS-transistorer (1 1/32-transistorcell, eftersom 32 celler i en intern rad jämförs med en dummy MNOS-cell). Det ger entransistorcellens packningstäthet och samtidigt tvåtransistorcellens störningsokänslighet.

Eftersom ett MNOS-minne hanterar så höga spänningar som 30 V kan minnet inte packas för tätt p g a genombrottsfenomen. Dessutom tar kringlogiken en hel del extra utrymme. Därför får man själv i vissa min-

nen hantera den logik som ger minnet rätt matningsspänning och därigenom bestämma vilken mod minnet skall arbeta i. Bara den senaste generationens WAROMs har fasta matningsspänningar och möjlighet att med TTL-kompatibla logiksignaler välja mod: läsning, skrivning, radering av hela brickan eller radering av enstaka ord.

### N-kanal MNOS kommer

Det största MNOS-minnet idag är på 8 kbitar. Någon stark tendens mot större minnen finns inte idag. De utvecklingsprojekt som pågår strävar istället efter att ta fram en n-kanal MNOS-process. En utveckling som andra typer av MOS-kretsar redan genomgått.

Eftersom MNOS-teknologin är lite speciell, bl a p g a den höga programmeringspänningen, är inte övergången helt problemfri. Inom två år finns emellertid säkert n-kanal MNOS på marknaden. Matningsspänningen blir då förhoppningsvis +5 V vid läsning. För att komma ifrån en del av

problemen med att hantera den höga spänningen har man också tagit fram s k VIN-RAMs (Virtually Nonvolatile RAM). Detta är ett vanligt statiskt RAM med MNOS-uppbackning i varje cell. All information i minnet skrivs över parallellt vid strömavbrott och sparas i MNOS-transistorerna. Den höga spänningen behöver därigenom inte alls avkodas utan är helt isolerad från kiset genom styroxiden. Packningstätheten i dessa minnen blir emellertid ganska dålig (1 kbitar) p g a de stora minnescellerna på 8 till 10 transistorer. Informationslagringstiden är endast 72h, vilket håller informationen tills strömmen återkommer.

### Avancerade tillämpningar

Den mest uppenbara användningen av ett MNOS-minne är som ett ändringsbart kod- eller programminne. Den största marknaden är TV-marknaden där MNOS-minnen kan användas för att lagra frekvensinställningarna. Sådana minnen har i allmänhet seriell in- och utmatning och en ordlängd på 14 till 18 bitar. Nitron gör t ex ett minne som lagrar 21 st 16 bitars ord i en 8 pinnars DIP. En liknande tillämpning är att lagra frekvensinställningarna i UHF-radion i militära flygplan. För sådan användning har NCR, tillsammans med amerikanska flyget, tagit fram ett 32x16 bitars minne.

För användning som programminne finns en mängd tillämpningar för MNOS-minnen. NCR har t ex tagit fram både 4 och 8 kbitars minnen till sina kassaterminaler och datasystem. En militär tillämpning är att ersätta skiv- och trumminnen med icke-flyktiga MNOS-minnesmoduler. Dessa är organiserade som Block-Orienterade RAM, ett andra ordningens minne med en blockstorlek på 8 kord om 32 bitar. Andra tillämpningar är som programminne i radarutrustningar i flygplan. Ytterligare militära utvecklingsprojekt strävar efter att kombinera den strålningso känsliga MNOS-teknologien med andra strålningso känsliga teknologier som CMOS och kisel-på-safir (SOS). Sådana minnen kan då användas i styrutrustningen i robotvapen.

En annan tillämpning är som nummerminne vid automatisk telefonuppringning. Med små icke-flyktiga MNOS-minnen ligger informationen kvar även när man byter jack. Inom MNOS-tekniken finns stora möjligheter till kundanpassade kretsar eftersom icke-flyktiga minnesdelar kan kombineras med vanlig MOS-logik på samma bricka. Små permanenta, men ändå ändringsbara, minnen kan läggas in på existerande MOS-kretsar. ■

### Litteratur:

1. K Jeppson & C Svensson: Elektriskt rader- och programmerbara icke-flyktiga halvledarminnen., CTH Elektronfysik III rapp. 48, 1977 okt.
2. K Jeppson, N-E Jernaker & I Ögren: Reserapport MNOS-studiereser, USA, april 1978, FMV-CTH.



# Elteknik går på

## LSI-konferenser

LSI-teknikens problem stöts och blöts nästan dagligen på konferenser i världens alla hörn. Här rapporterar Elteknik från två av dem: Symposiet om LSIs tillförlitlighet i San Diego och IM-veckans LSI-dag i Stockholm. Båda evenemangen gick av stapeln i april. En första rapport från San Diego publicerades i ET 11/78.

### I centrum i San Diego: Tillförlitligheten hos LSI-kretsar

Det handlade i huvudsak om tillförlitligheten hos LSI-kretsar när IEEE arrangerade konferens i San Diego tidigare i år. Särskilt ingående tittade man på MOS-strukturens felmekanismer, källan till de flesta tillförlitlighetsproblemen i integrerade kretsar. Eltekniks utsände Kjell Jeppson var närvarande vid den mexikanska gränsen och gjorde anteckningar från 1978 International Reliability Physics Symposium. En del av hans rapport presenterade vi redan i förra numret av Elteknik.

Här kunde man avlyssna dagsläget på tillförlitlighetsområdet, framför allt tillförlitlighet hos LSI-kretsar. Av speciellt intresse var MOS-strukturens felmekanismer, som är en av de huvudsakliga orsakerna till tillförlitlighetsproblemen i integrerade kretsar. En annan aktuell fråga var den nya testfilosofi, som uppenbarligen krävs för att man ska kunna testa

tillförlitligheten hos komplexa kretsar som t ex minnen och mikrodatorer. När integrationsnivån och komplexiteten ökar, blir de konventionella testmetoderna svårhanterliga och inte särskilt utslagsgivande. En god kunskap om de olika felmekanismerna är därför nödvändig, eftersom flera av dessa måste testas på speciella testkretsar istället för på den aktuella kretsen.

#### Användaren upptäcker felen

Den första sessionen av symposiet behandlade "Integrated Circuit and LSI Reliability". Från Bell Labs presenterades nya rön om tillförlitligheten hos IC-kretsar i telefonsystem. Den ökade tillförlitligheten, som den höga integrationsgraden hos kretsarna medfört för en viss funktion, har inte nödvändigtvis gjort systemet tillförlitligare. Systemets komplexitet har nämligen ökat i motsvarande grad. Användandet av IC-kretsar har också medfört att komponenternas höga felfrekvens under inkörningsskedet nu upptäcks av användaren istället för av systembyggaren under uppbyggnadsskedet. Man visade en modell för hur systemets felfrekvens under inkörningsskedet

direkt kan härledas från den individuella kretsens olika felmekanismer. 50 % av alla fel i MOS-minnen orsakas av fel i MOS-transistorernas styreoxid. 60 % av alla fel i en CMOS-krets orsakas av elektrostatiske effekter (avbrända metalledningar).

#### Studier i tillförlitlighet

Engelska Post Office Telecommunications redogjorde för en tillförlitlighetsstudie av 6000 elektroniska system, som fungerat i elektromekaniska telefonväxlar under tre år. De ingående MOS-komponenterna hade särskilt studerats och den helt dominerande felmekanismen var korrosion av metalledningar och bondtrådar. Felet kunde spåras till otillräcklig kontroll av luftfuktigheten vid kapslingar av kretsarna. Fosforhalten i skyddsoxiden är också av betydelse, eftersom fuktigheten tillsammans med för mycket fosfor får en etsande inverkan.

Bell Labs presenterade en tillförlitlighetsstudie av 4k dynamiska RAM. Ca 1000 komponenter fick genomgå accelererade tester för att avslöja begynnelsefelen. Hos de 26 komponenter som felade, berodde 60 % av felen på fel i styreoxiden och 12 % på felaktiga pn-övergångar med för höga läckströmmar vid höga temperaturer.

Från Intel kom en tillförlitlighetsstudie av den nya HMOS-teknologin (High performance MOS), som är resultatet av en skalning av alla

komponentdimensioner. Man har fått en avsevärt högre packningstäthet och snabbhet. Accelererade livslängdsmätningar visade att HMOS RAMs inte har sämre långtidstillförlitlighet än tidigare RAMs. Otillförlitliga oxider elimineras med accelererade spänningstest. Pga de mindre celldimensionerna beror en större andel av felen i HMOS-teknologin på föroreningar och defekter i kiset än tidigare. Man kunde inte notera någon ökad felfrekvens pga det högre elektriska fältet över tiden (genombrott eller hot electron injection).

#### Effektiva skyddskretsar

AMI, som satsar hårt på VMOS, presenterade sin nya teknologi i två föredrag. Det första var en tillförlitlighetsstudie med anledning av att man skulle kunna misstänka en lägre felfrekvens pga oxidgenombrott eller kiseldefekter i de etsade V-fickorna. Speciellt i botten av V:et får man höga fält och därigenom lägre oxidgenombrottsspänning. Den genomförda studien visade emellertid inte några fel i botten av V:et. 75 % av felen berodde på jondrift och 20 % på andra oxidfel. En stor del av denna höga tillförlitlighet, trots V-fickans låga genombrottsspänning, förklaras av de effektiva elektrostatiske ingångsskydd som VMOS-kretsarna är utrustade med. Dessa skyddskretsar, som presenterades i det andra föredraget, får sina fina egenskaper från den snabba (NIPN) diod som man får tillgång till i VMOS-teknologin.

#### Viktiga oxidegenskaper

Flera föredrag ägnades MOS-strukturen. JPL gav en modell för det tidsberoende genombrottet i MOS-strukturer. Detta genombrott beror på att natriumjoner anhopas vid kisel/oxidytan där de ger upphov till ett lokalt genombrottsfält. Istället för att avsiktligt förorena oxiden med natriumjoner, för att accelerera genombrottet, förhöjde man antalet defekter vid kiselytan där natriumjonerna kan hopa sig genom Ne-jonimplantation. Normalt rena oxider kunde därigenom studeras.

Avsikten med arbetet är att skapa en modell som kan användas för att förutsäga tillförlitligheten hos komplexa LSI-kretsar. Den ökande komplexiteten innebär ju större svårigheter att testa kretsarna och framför allt att utföra en utslagsgivande screening. Det blir därför viktigt att på ett tidigt stadium skaffa sig en god kunskap om egenskaperna hos en viss tillverkningsbatch. Effektiviteten ökar markant om screeningen utförs på en batch som man redan förväntat sig om är bra. Oxidegenskaperna är av största betydelse, speciellt som utvecklingen går mot tunnare oxider.

#### Tunna oxider i studie

En tillförlitlighetsstudie på tunna termiska oxider (35 . . . 100 Å) presenterades av Hughes Aircraft, som arbetar en hel del med tunna oxider för tillämpningar i VLSI kretsar och ickeflyktiga minnen. Speciellt noterades det högre utbytet om 5 % HCL tillsätts vid oxidation. Man presenterade även en studie av tåligheten mot elektrostatiske urladdning hos olika integrerade kretsar. Inverkan av 1000 h burn-in med 25, 50 och 75 % av den elektrostatiske genombrottsspänningen studerades också. Bland de testade kretsarna var GI:s MNOS/EAROM 2401, vars tålighet är jämförbar med den hos konventionella MOS-kretsar.

#### Pressade komponentpriser

Vid en paneldiskussion med rubriken "Testing to assure reliability of LSI-devices" uppstod oenighet i auditoriet om hur mycket av tillförlitligheten som skall designas in eller screenas in i komponenten. Från komponenttillverkarhåll hävdades att komponentpriserna är så hårt pressade att tillräckligt stor hänsyn inte kan tas till tillförlitlighetsproblemen vid kretsdesignen ("you can't get \$ 100 reliability in a \$ 2 device"). Denna kostnad får användaren i stället betala för att screena ut komponenter.

KJELL JEPPSON

# aktuell elektronik

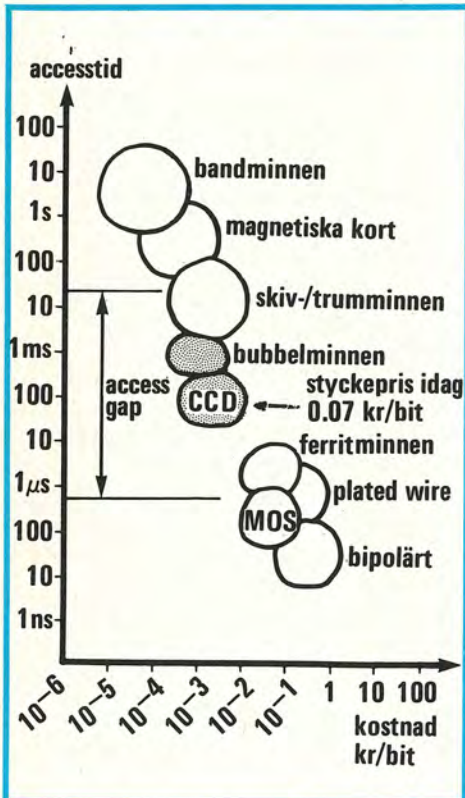
CCD-minnen:

# Tätt packade och billiga

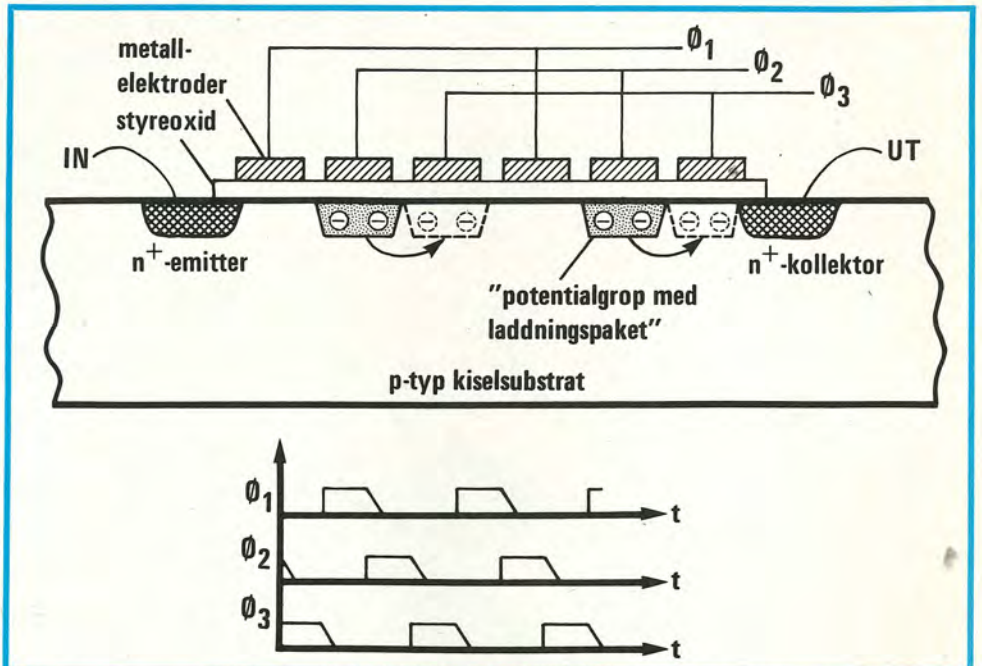
Nu kommer 64 kbitars laddningskopplade CCD-minnen och på laboratorierna är man på god väg mot 256 kbitars minnen! Det här är billiga komponenter med hög packningstäthet, säger Eltekniks Kjell Jeppson. CCD-minnena fyller accessgapet mellan snabba halvledarminnen och långsamma trumminnen.

Laddningskopplade CCD-minnen (Charge Coupled Devices), liksom magnetiska bubbelminnen, har en accesstid mitt emellan snabba halvledarRAM och mekaniska skiv- och trumminnen, se figur 1.

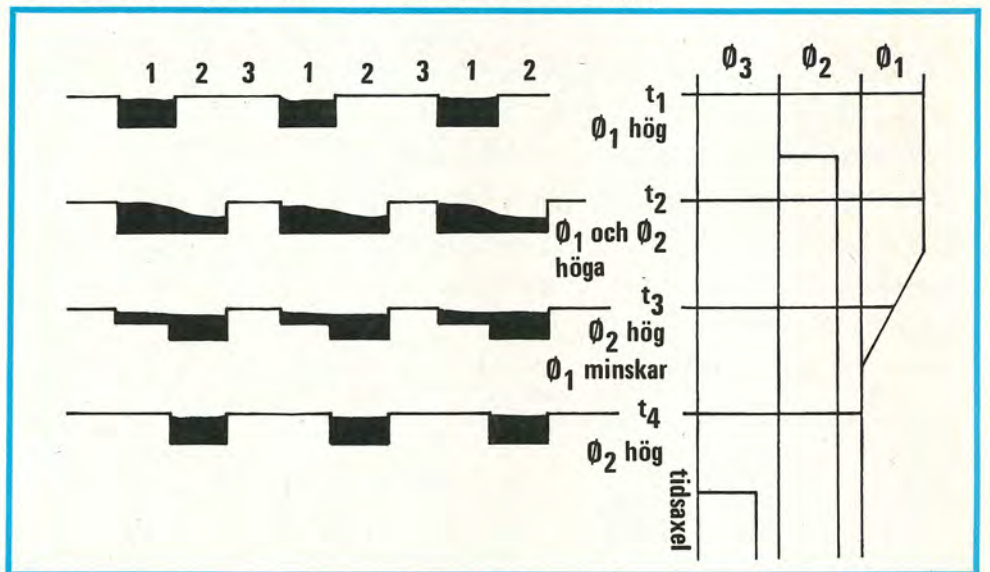
Ett laddningskopplat CCD-minne är i princip en klockad, dynamisk MOS-logik utan förstärkning, uppbyggt som ett skiftregister se figur 2. CCD-registren är mycket enkelt



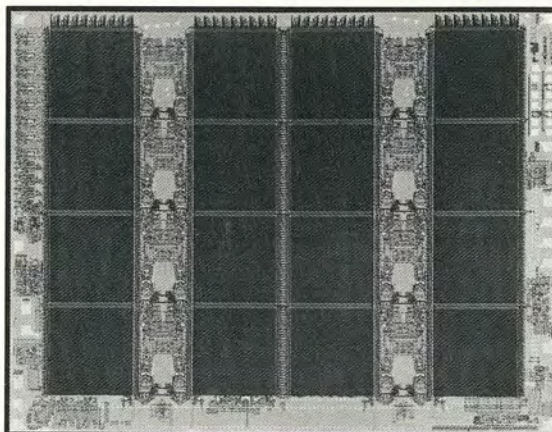
Figur 1. Skillnaden i accesstid mellan snabba MOS-minnen (300 ns) och långsamma men stora magnetiska skiv- och trumminnen (30 ms) är ett gap på  $10^5:1$ . CCD-minnena är relativt snabba, har hög packningstäthet och lågt pris-per-bit men är flyktiga i motsats till bubbelminnena.



Figur 2. Ett CCD-register består av en lång MOS-transistor med ett stort antal (typiskt 64) styreelektroder tätt intill varandra längs kanalen. Informationen lagras som "laddningspaket" i "potentialgropar" kiset under MOS-transistorernas olika styren.



Figur 3. Laddningstransporten i ett enkelt 3-fas CCD-minne. Genom att skifta klockpulserna alstras nya potentialgropar dit informationen flyttas över.



◀ Ett vackert CCD-minne från Fairchild.

→ CCD-register kan användas för att läsa, lagra och signalbehandla bilder.

## Trefas CCD

För att "laddningspaket", som lagras under olika styren, ska hållas separerade och kunna transporteras behövs minst tre klockor, som skiftas i lämplig sekvens. Varje lagrad bit kräver ett utrymme på tre styren. Laddningstransporten i ett enkelt trefas CCD illustreras i figur 3. Den beskrivna laddningslagringen gäller bara transient. För styrspanningen ligga på, fylls "potentialgropen", oavsett vilken laddning som fanns från början. Detta innebär att klockfrekvensen har en undre gräns. Det är samma typ av begränsning som i ett dynamiskt RAM, som måste friskas upp efter 2 ms. CCD-registret måste alltså skiftas så snabbt att informationen hinner genom registret på 2 ms. Den kan då friskas upp på utgången och matas in i registret igen.

Klockfrekvensen har också en övre gräns, eftersom all laddning inte hinner över till nästa "grop" om klockorna körs för fort. Den del av laddningen som överförs per styre kallas transportverkningsgraden  $\eta$ . Den är ett viktigt mått på CCD-registret. Den bestämmer hur många överföringar som kan göras innan signalen distorderas. Om vi t ex kan tolerera 50 % förlust efter 256 steg (som med trefas kräver  $3 \cdot 256$  styren) får vi  $\eta^{3 \cdot 256} > 0,5$ , vilket kräver en transportverkningsgrad  $\eta > 99,9$ . Maxfrekvensen blir ca 5 MHz. Se tabell 1.

## Tabell 1. Dagens CCD-minnen.

Lagringskapacitet:	64-kbit
Dataflöde:	1–5 MHz
Genomsnittlig accesstid:	400 $\mu$ s
Effektförbrukning:	300 mW
Matningsspänningar:	+12 V, $\pm 5$ V
Kapsel:	16 pinnars DIP

## Teknologiska framsteg

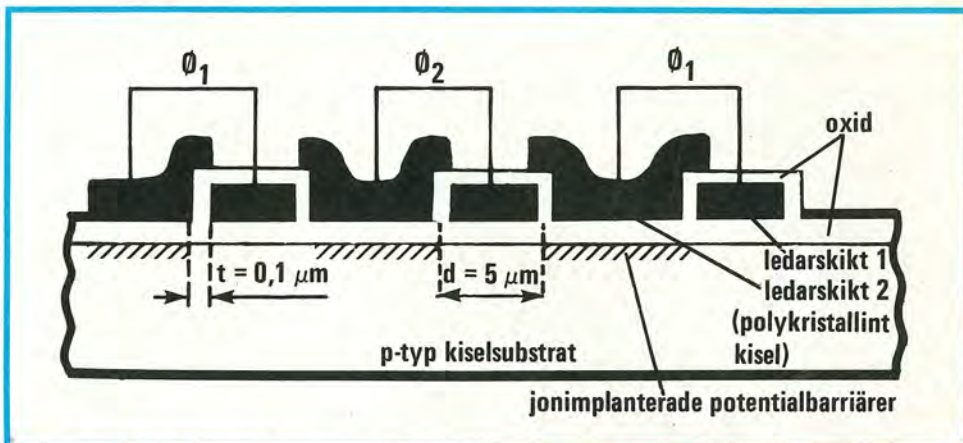
De första trefas CCD-minnen hade ganska dålig transportverkningsgrad (ca 98 %). Man fick förluster, dels p g a långa avstånd mellan elektroderna och dels p g a ytillstånd vid skiljeytan oxid-kisel. När elektroderna definieras i metallskiktet med fotomask måste avståndet mellan elektroderna vara minst en linjebredd (ca  $5 \mu$ m). Vid transporten fås förluster eftersom "potentialgroparna" inte riktigt når in i varandra. Detta problem har nu lösts med dubbelskiktets polykiselledare där avståndet mellan elektroderna i stället bestäms av isolatorns tjocklek ( $0,1 \mu$ m). Se figur 4. Denna teknik används också i dynamiska RAM.

De förluster man får p g a ytillstånden beror på att dessa fungerar som fällor, som snabbt fångar laddning när "potentialgroparna" fylls men lämnar ifrån sig laddningen betydligt långsammare när "gropen" töms. Detta begränsar naturligtvis transportverkningsgraden vid höga frekvenser. Denna begränsning kommer man från om man flyttar "potentialgroparna" från kisel-ytan ca  $1 \mu$ m in i kiset genom den s k

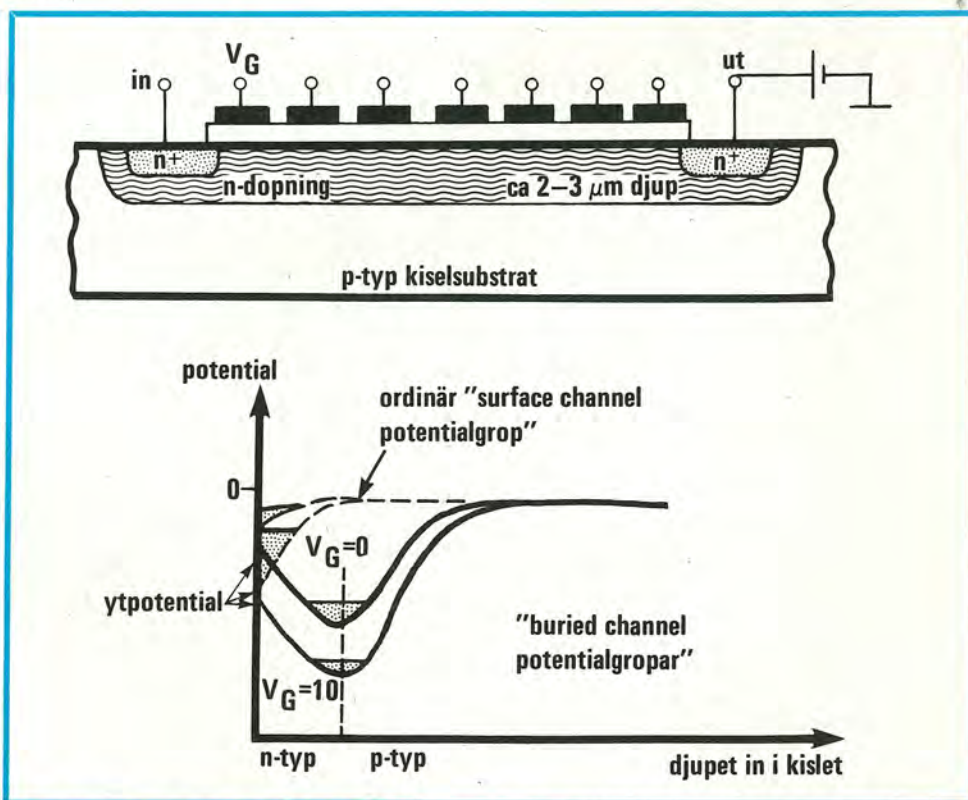
buried-channeltekniken. Ett sådant register visas i figur 5. Här är kisel-ytan svagt n-dopad ( $2-3 \mu$ m epitaktiskt skikt) så att en pn-övergång (diod) bildas till substratet. Genom att backspänna denna, ändras potentialbildningen så att potentialgroparna flyttas in i kiset. Resultatet blir ett CCD-register med hög transportverkningsgrad (99,99 %) vid frekvenser upp till 10 MHz. En annan

fördel med buried-channel-strukturen är att man kan lagra informationen i jonimplanterade "gropar" utan spänning på styrena. Detta förenklar kringlogiken och klockpulserna eftersom man inte behöver överlappande pulser.

De beskrivna två stegen har betytt mest vid utvecklingen av kommersiella CCD-minnen. De har resulterat i en stan-



Figur 4. Modern 2-fas CCD-minne där avståndet mellan elektroderna bestäms av isolatortjockleken.



Figur 5. Buried-channel CCD där potentialgropen flyttats från kisel-ytan ca  $1 \mu$ m in i kiset.

## Tabell 2. Projekterad ökning av packningstätheten i framtida CCD-minnen<sup>1</sup>.

Kapacitet (bitar) N	Minsta linjebredd ( $\mu$ m) d	Cellstorlek ( $\mu$ m <sup>2</sup> ) c = 12 · d <sup>2</sup>	Packnings-täthet (Mbits/cm <sup>2</sup> ) P = 100/2c	Brickstorlek (mm <sup>2</sup> ) 2 · N · c	År
256-k	2.0–2.5	48–75	0.7–1	25–38	79
1-M	1.0–1.5	12–27	2–4	24–54	81–82
4-M	0.75–1.0	7–12	4–7	56–96	86–87

<sup>1</sup> (efter IEEE). Utvecklingen förutsätter en minskad linjebredd (d) och motsvarande minskad cellyta (c = 12 d<sup>2</sup>). Vid beräkning av brickstorleken har förutsatts att halva brickytan upptas av kringlogik (brickytan = 2 · N · c).

→ dardteknik, som används för produktion av stora serier dynamiska RAM.

## Nästa generation långt framme

Trots att de första kommersiella CCD-minnena kom på marknaden så sent som förra året, har arbetet redan hunnit långt på nästa generation 256-kbitars CCD-minnen. Dagens 64-kbitars minnen tillverkas med en minsta linjebredd på 4–6  $\mu\text{m}$ . Ytan av varje CCD-cella är 12 d<sup>2</sup> (300  $\mu\text{m}^2$ ) (d är linjebredd). Det ger en brickyta på 25 mm<sup>2</sup>, då kringlogiken tar upp halva ytan. I ett dynamiskt RAM är cellytan 21 d<sup>2</sup> och minnesytan upptar 30 %, vilket ger RAM-minnet 3 gånger sämre packningstäthet.

Nästa generation 256-kbitars minnen kommer att kräva linjebredder på 2.0–2.5  $\mu\text{m}$  och en cellstorlek på 48–75  $\mu\text{m}^2$ . Ett stort steg mot detta mål har man tagit på Texas Instruments där man har ett 128-kbitars minne på gång, tillverkat med elektronstrålelitografi. Vägen mot ökad packningstäthet går alltså över minskade komponentdimensioner.

Om trenden från MOS-minnena fortsätter med en fyrdubblad lagringskapacitet vartannat år, har vi 256-kbitars minnen nästa år, 1-Mbitars minnen 1981–82 och sedan 4-Mbitars minnen, som framgår av tabell 2. Är en sådan utveckling möjlig? De tre nyckelfaktorerna som avgör detta är

- 1) begränsningar i själva CCD-komponenten
- 2) framsteg inom halvledarlitografin och därmed minskade linjebredder
- 3) positiva erfarenheter av tillverkning och försäljning av dagens 64-kbitars minnen.

## Är 4-Mbitars CCD möjligt?

Begränsningarna i själva komponenten ligger, liksom för en vanlig MOS-transistor, i den minsta möjliga kanallängden. Denna är ungefär 0.5  $\mu\text{m}$  beroende på oundvikliga genombrotts- och driftsfenomen i MOS-komponenter med kort kanal och motsvarande tunn isolatoroxid. Med en minsta linjebredd på 0.75  $\mu\text{m}$  blir cellytan 7  $\mu\text{m}^2$ . Det motsvarar att ett 4 M-bitars minne ryms på en bricka på 8×7 mm<sup>2</sup> (tabell 2). Ännu större lagringskapaciteter än 4-Mbitars kräver däremot en rejäl ökning av brickstorleken eller något teknologiskt genombrott som möjliggör lagring av information i flera skikt. Att öka brickstorleken torde dock inte vara något hinder.

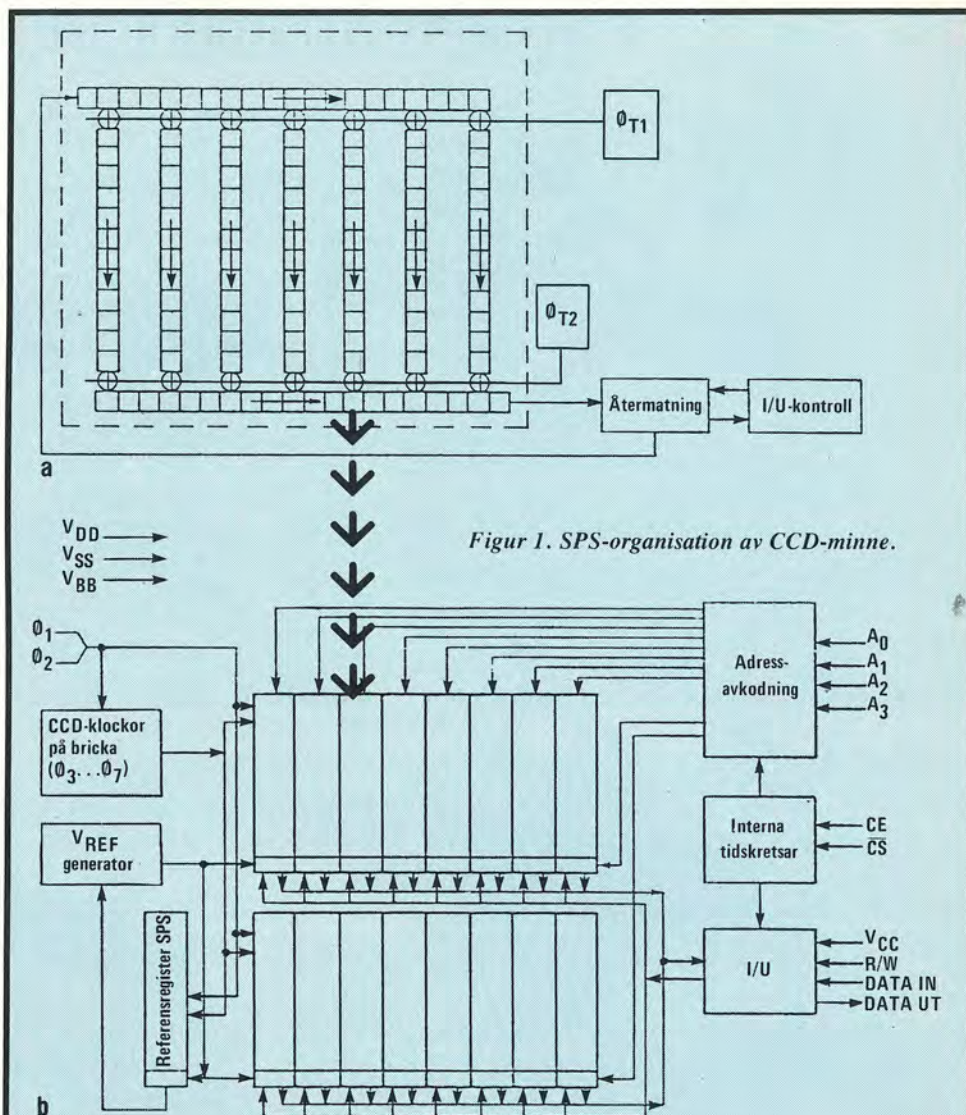
Det finns även andra begränsningar när cellstorleken krymper, t ex svårigheter att detektera så små laddningspaket. Dessa blir också känsligare för störningar.  $\alpha$ -strålning från kapseln kan t ex slumpmässigt radera informationen redan vid de packningstätheter vi har i 64-kbitars minnena. Se Elteknik nr 11/78!

En avgörande faktor när det gäller att uppnå lagringskapaciteter på 4-Mbitars är de framsteg som görs inom halvledarlitografin. Standard linjebredd idag är 5  $\mu\text{m}$ , men Intel har redan gått ner till 3.5  $\mu\text{m}$  i sin nedskalade HMOS-teknik. De senaste åren har man gjort avsevärda framsteg både med optisk

projektion av mönster och elektronstråleexponering. Det gäller inte bara upplösningen utan också passningen mellan olika masker. Man väntar allmänt att utvecklingen fortsätter de närmaste åren. ■

## Litteratur:

1. Toombs, D: An update: CCD and bubble magnetic memories, IEEE Spectrum, 15 (1978): 4, sid 22–30.
2. Toombs, D: CCD and bubble memories: system implications, IEEE Spectrum, 15 (1978):5, sid 36–39.



Figur 1. SPS-organisation av CCD-minne.

## SPS-organisation

Den bästa organisationen av ett CCD-minne med hög packningstäthet, låg effektförbrukning och lågt pris är Serie-Parallell-Serie (SPS)-organisationen. Se figur 1a. Informationen skiftas in med frekvensen  $f$  i ett  $n$ -bitars serieregister. När ingångsregistret är fullt, överförs informationen parallellt till  $n$  register och skiftas parallellt med frekvensen  $f/n$ . Informationen överförs sedan igen till ett serieregister och skiftas ut med frekvensen  $f$ . Packningstätheten i ett SPS-register är mycket hög eftersom överföringarna till och från parallellregistren kräver mycket lite logik. Effektförbrukningen är låg eftersom alla parallellregistren skiftas med låg frekvens.

Fairchild utnyttjar en sammanflätad struktur där serieregistret först fylls med 32 bitar, som överförs till de jämna parallellregistren. Ingångsregistret fylls därefter igen med ytterligare 32 bitar, som överförs till de udda parallellregistren. Varje bit i ingångsregistret förser därmed två parallellregister med information. Parallellregistrens bredd är därmed minimerad till 2 linjebredder, vilket betyder ökad packningstäthet.

Både Texas Instruments och Fairchilds CCD-minne på 64-kbitars är organiserade som 16 adresserbara SPS-register (block) om vardera 4-kbitars, se figur 1b. Data i alla 16 blocken roterar samtidigt. Varje block har sin egen laddningsgenerator, läsförstärkare, I/O-logik o s v. Data in, Data ut och Write enable är gemensam för alla block och aktiveras med Chip select för att spara effekt. CCD-minnet kräver två klockor som går med samma frekvens som dataflödet. Det krävs också två långsammare klockor ( $f/32$ ) för överföringen till och från parallellregistren. Klockorna för den parallella skiftningen alstras internt på brickan eftersom dessa inte drar så mycket effekt vid den lägre frekvensen ( $f/64$ ).

upbyggda och kräver inga diffunderade mönster utom vid registrets in- och utgång. Den enkla strukturen medger hög packningstäthet av information och blir billig att tillverka.

## Potentialgropar

För att lagra laddning i ett CCD-minne utnyttjas den transienta "potentialgrop", som uppstår vid kiselytan under MOS-strukturen när man lägger på styrspänning, se fi-

gur 2. Ytpotentialen blir lägre än under de kringliggande MOS-strukturerna utan styrspänning, vilket gör att laddningen hålls kvar i "gropen". Laddningen är isolerad från substratet genom den backspända pn-övergången (dioden) som uppstår mellan själva de lagrade elektronerna (n-typ) och p-typ-substratet. Laddningen kan hållas kvar så länge diodens läckström inte påverkar dess storlek, vilket är av storleksordningen några tusendels sekunder (jämför 2 ms refresh cycle i dynamiska RAM). Den in-

formation man lagrar digitalt motsvarar full eller tom "grop". Injicerar man mer laddning än "gropen" rymmer blir dioden framspänd och överskottet läcker in i substratet ("rinner över gropens kanter").

Eftersom en variabel mängd laddning kan lagras, är CCD-registret också användbart som analogt register. CCD-registret är också känsligt för ljus. Vid belysning alstras "laddningspaket" vars storlek är proportionell mot ljusintensiteten. Information kan alltså även injiceras optiskt, varför

## Kommersiella CCD-minnen

De kommersiella CCD-minnen som är tillgängliga idag, visas i tabellen. Som synes används flera olika typer av klockning. Intel utnyttjar en fyrfasteknik med laddningslagringen vid ytan (surface channel) helt analogt med det tidigare trefasregistret. Se figur 1a. Fairchild och Texas Instruments använder en buried-channel-struktur med 2-fasklockning. Ett

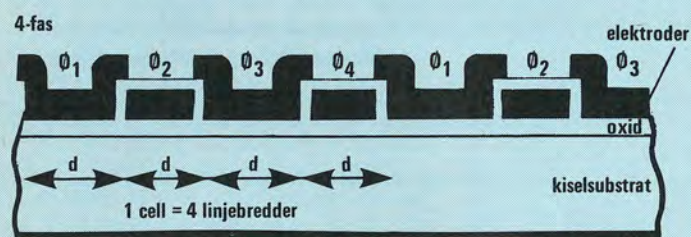
enkelt 2-fasregister visas i figur 1b. Texas kallar sitt system för coplanar 2-fas buried-channel som illustreras i figur 1c.

Alla CCD-minnena utnyttjar dubbelskiktets polykiselledare. För att öka packningstätheten använder Fairchild internt på brickan också en 8-fas-klockning som är bättre känd som multiplexed-electrode-per-bit-(MEB)-klockning (figur 2). 4-fasregistren kräver fyra elektroder-per-bit (4 linjebredder) medan 2-fasregistren kräver två dubbelektroder (också 4 linjebredder). De coplanara 2-fasregistren använder alltså två elektroder-per-bit men linjebredden blir 4 linjer eftersom varje elektrod täcker både barriär- och lagringsområdet.

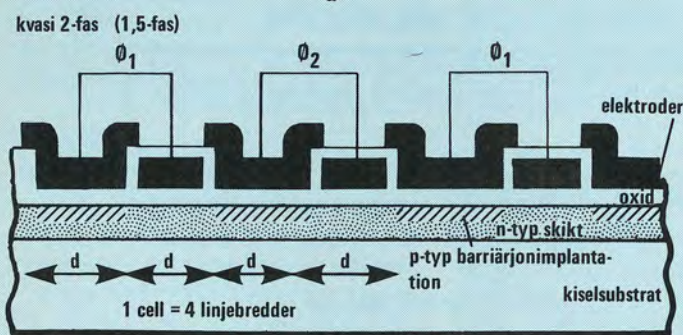
Denna struktur är däremot okänslig för kortslutningar mellan det övre skiktets elektroder eftersom dessa ändå är förbundna.

## Dagens kommersiella CCD-minnen

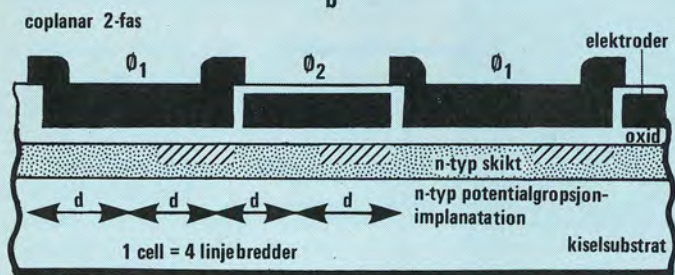
Kommersiella CCD-minnen	Antal bitar	Typ av CCD-minne	Brickstorlek (mm <sup>2</sup> )
Intel 2416	16 k	4-fas, surface channel	3.6×6.0
Fairchild F464	64 k	2-fas, buried channel	
Texas TMS 3064	64 k	8-fas multiplexed-electrode-per-bit (MEB) coplanar 2-fas, buried channel	4.4×5.8 5.0×5.5



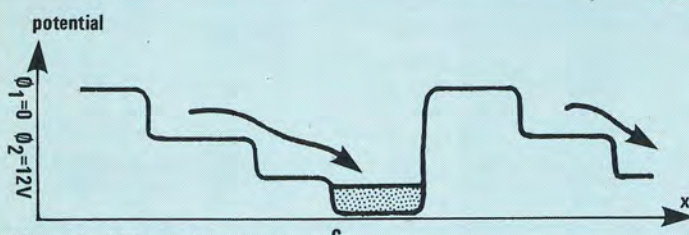
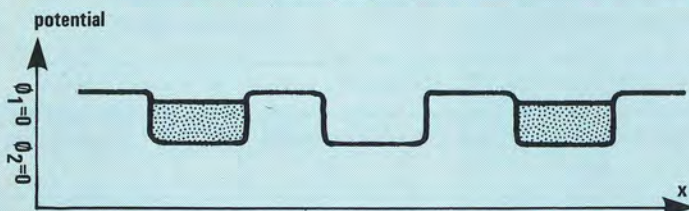
a



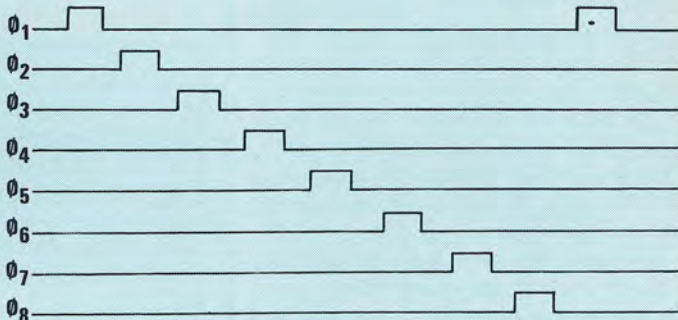
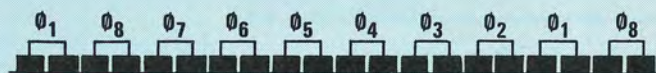
b



c



Figur 1. Olika registertyper.



Figur 2. Med denna 8-fasiga klocka fordras endast att var åttonde cell är ledig för att ta emot information. Med 2-fas klocka är varannan cell ledig. Packningstätheten ökar från 2 celler-per-bit till 1.14 (8/7) celler-per-bit, nästan en fördubbling. Antalet skiftningar som krävs för att få ett laddningspaket genom skiftregistret minskar i motsvarande grad vilket minskar signaldistorsionen.

## Intel-studie varnar: Dynamiska minnen kan radera sig själva!

$\alpha$ -partiklar som utsänds av radioaktivt uran och torium som förekommer naturligt i kapselmaterialet kan slumpmässigt radera informationen i dynamiska RAM och CCD! Det framgick av det mest uppseendeväckande föredraget vid 1978 International Reliability Physics Symposium i San Diego, CA, 18–20 april. Eltekniks Kjell Jeppsson rapporterar.

Intel som gör en hel del tillförlitlighetsstudier på sina kretsar, presenterade två nya intressanta felmekanismer som kan uppträda i minnen. Den första av dessa är ett s k soft error, som gör att man slumpmässigt förlorar informationen i vissa celler i dynamiska RAM och CCD. Felmekanismen väntas få betydelse i 64 kbit- och större minnen och beror på joniserande  $\alpha$ -partiklar från små mängder uran och torium (<100 ppm) som finns i kapselmaterialet. Felmekanismen påverkar bara dynamiska minnen och CCD som lagrar information i form av "laddningspaket" i lagringskondensatorernas "potentialgropar" (figur 1a). Tom grop betyder då "1" och full grop "0". Ju känsligare minnets läsförstärkare är, desto mindre kan laddningspaketet, och därmed minnescellen göras. Packningstätheten ökar. Från ungefär 64 kbit minnen och större är

laddningspaketet av samma storleksordning som den laddning  $\alpha$ -strålningen alstrar.

### Slumpmässigt

$\alpha$ -strålningen utsänds av radioaktivt uran och torium som förekommer naturligt i kapselmaterialet. En typisk 5 MeV  $\alpha$ -partikel har en räckvidd av 25  $\mu\text{m}$  in i kiset och alstrar  $1.4 \cdot 10^6$  hål-elektronpar, närmare än 25  $\mu\text{m}$  från kiselytan. Laddningarna diffunderar i kiset varvid elektronerna kan fångas i någon tom potentialgrop så att denna helt eller delvis fylls (figur 1b). Felmekanismen yttrar sig alltså i att en lagrad etta går förlorad när en tom potentialgrop fylls. Felmekanismen är slumpmässig och ickeförstörande då ny information kan skrivas in i minnet igen. Frekvensen hos dessa mjuka fel (soft errors) ökar när cellgeometrierna och matningsspänningarna minskar.

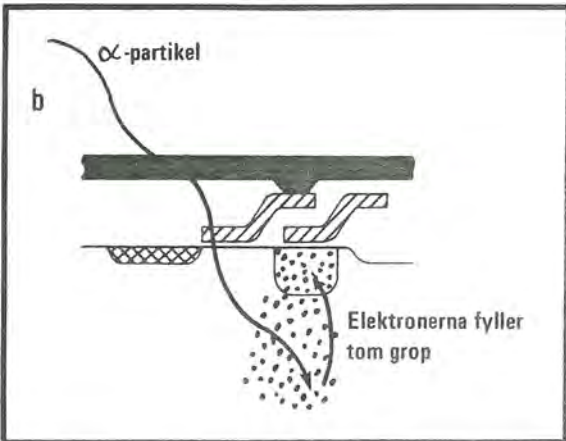
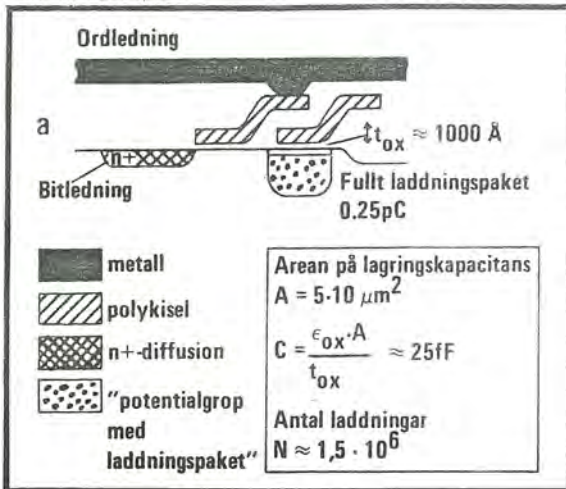
### En utmaning

Omfattande laboratoriemätningar har gjorts för att visa inverkan av  $\alpha$ -strålningens intensitet och karaktär, läsförstärkarens känslighet, cellstorleken och matningsspänningen. Uran- och toriuminnehållet i olika glasmaterial, keramik, epoxy och aluminium hade också uppmätts och man fann i aluminium  $\sim 1$  ppm, i plastepoxy 1.5 ppm medan de olika glasmaterial som används i keramikpalslar innehöll mellan 2 och 30 ppm. Det motsvarar en strålningsintensitet på kiselytan av  $1-35 \alpha/\text{cm}^2/\text{h}$ . Detta är en mycket intressant effekt som innebär en begränsning både på design och teknologi i framtida minnen. Det är också en utmaning att ta fram bättre kapslar.

### Laddat lock

Den andra felmekanismen är elektrostatisk och uppträder i NMOS-kretsar i kapslar med

Forts sid 26



Figur 1 a) Informationen i en dynamisk entransistorell lagras i form av "laddningspaket". b) En 5 MeV α-partikel alstrar tillräckligt mycket laddning för att fylla en tom cell om cellen är tillräckligt liten.

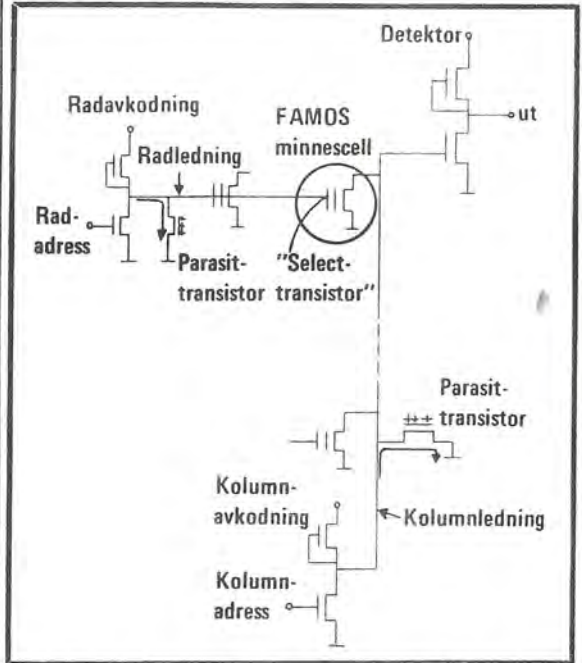
oledande lock, som t ex olika UV-PROM. Felmekanismen beror på att kvartslocket kan laddas upp varvid positiva laddningar induceras på skyddsoxiden på kretsen så att man får ledande parasittransistorer. Felet yttrar sig så att alla PROM-celler i en viss kolumn förefaller vara programmerade eller att alla celler i en viss rad verkar vara oprogrammerade. Felet uppstår oavsett vilken information som skrivits in i cellerna från början. Problemet är att positiv laddning på ytan av skyddsoxiden ger upphov till fältinversion så att spänningen på rad- eller kolumnledningen läcker ut. Felen är vanligen lokaliserade till någon begränsad punkt på ytan. Vad de ledande parasittransistorerna får för inverkan på den utlästa informationen framgår av figur 2.

#### 1,4 kV med tygbit

De uppkomna felen kan hävas genom 5s belysning med UV-ljus så att den positiva laddningen neutraliseras av fotoströmmar i polykiselledningarna.

Det visade sig vid undersökningarna att man bara genom att polera locket med en tygbit kan ladda upp lockets undersida till -1,4 kV. Det motsvarar ett fält i luftgapet till kretsen på 15 kV/cm vilket inducerar positiv laddning på ytan.

Man kan också framkalla felet genom att frysspraya locket med Freon 12 då denna avger en jonström av 1 μA som snart laddar upp locket till 1,5 kV. Man kan också framkalla felet genom att lägga 5 kV-pulser på locket. *KJELL O JEPPSON*



Figur 2. Radledningen i en utvald rad är normalt hög (+5 V) så att selecttransistorn leder. Kolumnledningen går också hög men dras ner till jord om minnescellen är programmerad (ledande). Om rad- eller kolumnledningarna läcker förefaller alla minnesceller i en viss rad vara oledande och alla minnesceller i en viss kolumn vara ledande.

## Räknedosans utveckling:

# Minnesförlust – ett minne blott

*De programmerbara räknedosorna har haft en akilleshäla. Om man slagit från strömmen så har man fått göra om programmeringen. Ett tidsödande och irriterande arbete. Nu kommer s k icke-flyktiga minnen, berättar Kjell O Jeppson. Många tillämpningar väntar på denna nya teknologi.*

I datasammanhang är det nödvändigt att informationen i dataminnet inte försvinner när det blir strömavbrott. Minnet ska vara icke-flyktigt.

I dag dominerande icke-flyktiga minnen är de magnetiska minnen – skivor, band, bandkassetter etc. Trots den integrerade kretsteknikens snabba utveckling under senare år har det inte funnits något konkurrenskraftigt icke-flyktigt halvledarminne. Många system som utnyttjar halvledarteknikens möjligheter till långt gående miniatyrisering saknar därför icke-flyktiga minnen.

Nu börjar emellertid halvledarminnen erövra också detta område. En avgörande betydelse får den enorma marknaden för räknedosor där de första programmerbara räknedosorna med icke-flyktiga halvledarminnen nu gör entré. Programmen kan sparas i räknedosan utan omvägen över magnetkort.



Programmerbara räknedosor har hittills varit utrustade med magnetkort för olika program (bilden). Nu kommer programmerbara räknedosor med s k icke-flyktiga halvledarminnen som till och med kan vara hopbyggda med logikkretsarna i samma kapsel.

## Termspäckat elektronikspråk

Elektroniken är späckad av förkortningar. I vidstående artikel finns MOS, CMOS, MNOS och FAMOS. Där finns också ROM och PROM. Vi har försökt oss på en förklaring.

**MOS** betyder metal oxide semiconductor och är en halvledarkrets med förbindningar av metall och isolering av kiseloxid.

**CMOS** betyder complementary MOS, dvs en komplementär MOS. **MNOS** betyder metal nitride oxide semiconductor och står för halvledarkretsar av MOS-typ, men med kiselnitrid som isolerande lager.

**FAMOS** betyder Floating gate Avalanche injection Metal Oxide Semiconductor. Detta är en typ av MOS-transistor som saknar elektrisk kontakt till styret. Styret "flyter" i oxiden. Vid programmering backspänner man kollektordioden och genom en s k lavinjektion injiceras elektroner till styret som blir negativt laddat.

**ROM** betyder read only memory. Det är ett förprogrammerat minne som inte kan omprogrammeras – ett s k läsminne.

**PROM** står för programmable read only memory vilket innebär att man kan programmera minnet, men när detta är gjort kan det inte ändras.

Det finns många fler förkortningstermer i elektroniken. Den som vill ha en samlad översikt rekommenderas att köpa Åke Nybloms *Engelsk-svensk elteknisk förkortningslista* från Ingenjörsköpet.

## Minne och styrlogik i samma kapsel

Den stora fördelen med halvledarminnen är att de är billiga, snabba och har hög packningstäthet. En långt gående miniatyrisering är därmed möjlig, speciellt som en förbättrad tillverkningsteknik hela tiden medger allt större minnesutrymme per kapsel. Det har också stor betydelse, särskilt i mindre system, att halvledarminnet kan kopplas ihop direkt med logikkretsarna. Minnet och styrlogiken kan t o m integreras i samma kapsel. Det mest påtagliga resultatet av denna utveckling är i dag just räknedosans stora framgångar.

Konventionella halvledarminnen är "flyktiga". Detta innebär att den lagrade informationen försvinner när man slår av strömmen i t ex en räknedosa. Är räknedosan programmerbar och man råkar slå av ström-

men är det irriterande och tidsödande att behöva programmera om den.

Avancerade, programmerbara räknedosor har därför möjlighet att lagra informationen på små magnetkort som sedan kan läsas av med en motordriven magnetkortläsare. Nu håller emellertid något nytt på att hända i och med att det kommer programmerbara räknedosor med icke-flyktiga halvledarminnen inbyggda i räknedosan.

## Verkligt och falskt icke-flyktighet

Vid konstruktion av halvledarminnen kan man skapa icke-flyktighet på i princip två sätt. Den optimala lösningen är det "verkligt icke-flyktiga minnet" som inte kräver någon effekt för sin minnesfunktion. Minnet kan alltså lagra information under lång tid utan strömförsörj-



ning (1–10 år). Eftersom det i dag inte finns några icke-flyktiga halvledarminnen, där man kan skriva in information lika snabbt som minnet kan läsa den, utnyttjar man i vissa tillämpningar s k "falsk icke-flyktighet". Flyktiga halvledarminnen blir icke-flyktiga om man ser till att strömförsörjningen aldrig bryts.

Ett genombrott innebär den nya generationen CMOS-kretsar som i sitt viloläge är så extremt effekt-snåla att de kan drivas av ett batteri i årtal utan att batteriet tar slut. Med sådana CMOS-minnen kan man enkelt skydda sig mot ofrivillig radering och också utnyttja minnet för tillfällig lagring. För permanent lagring är metoden mindre praktisk, eftersom den ändå kräver ett batteri med begränsad livslängd. Bäst utnyttjar man denna teknik för permanent lagring i kombination med verkligt icke-flyktiga minnen t ex i form av utbytbara minneskassetter.

Låt oss titta lite närmare på olika typer av "verkligt" icke-flyktiga

## Kassa med MNOS-minne lagrar pris och omsättning

minnen.

Det enklaste icke-flyktiga minnet i MOS/LSI-teknik är ROM-minnet (Read Only Memory). Informationen i detta minne är så icke-flyktig att den överhuvudtaget inte kan ändras – därav namnet. ROM-minnet programmeras av tillverkaren enligt köparens önskemål. Denna typ av minne används framför allt för att lagra fasta program för t ex sinus- och cosinus-funktioner i en räknedos.

Ett ROM-minne är uppbyggt som en matris av MOS-transistorer, vilka var och en lagrar en bit av informationen. Vid tillverkningen utsluter man styrelektroden på vissa utvalda MOS-transistorer. Dessa

kan då inte leda ström som de övriga. Informationen lagras på så sätt i en binärkod. ①

### MNOS-minne klarar lagring utan ström

Det finns också PROM-minnen av s k *fusible-link*-typ som användaren själv kan programmera (Programmable Read Only Memory). Dessa minnen innehåller i allmänhet bipolära transistorer. Kör man större ström än vanligt genom kretsen vid programmeringen, kan man på önskade ställen bränna bort metallkontakten till vissa transistorer. Eftersom programmeringen är förstörande kan den information som en gång lagrats inte ändras igen.

Det mest använda PROM-minnet är det s k FAMOS-minnet. Där kan man radera ut information som en gång lagrats i minnet. Detta minne programmeras elektriskt, men det kan inte raderas elektriskt utan

endast med ultraviolett ljus. ③

Det elektriskt ändringsbara icke-flyktiga minne, som halvledartillverkarna hyser störst förhoppningar om, är det s k MNOS-minnet. MNOS-minnet har varit "på gång" några år, men har inte riktigt slagit igenom ännu. Det har framför allt berott på tillverkningstekniska svårigheter eftersom minnesfunktionen kräver noggrann kontroll av isolatorskiktens elektriska egenskaper. Det tunna oxidskiktets tjocklek på 2 nm ( $2 \cdot 10^{-9}$  m) måste t ex kunna tillverkas reproducerbart på 0,2 nm när. ②

MNOS-minnet håller nu på att slå igenom och få en större marknad. Det finns en lång rad tillämpningar som är idealiska för MNOS-minnet. MNOS-minnet är t ex helt okänsligt för avbrott i elförsörjningen eftersom det inte kräver någon effekt för lagring av information. Även i drift är minnet effektsnålt.

Okänsligheten mot avbrott i strömförsörjningen gör MNOS-minnet idealiskt för att lagra information som alltid måste finnas tillgänglig, men som kontinuerligt måste ändras. Exempel är numeriskt styrda maskiner och kassaterminaler där man kan lagra dagens transaktioner och t o m prislistan för varorna. National Cash Register är en av de stora MNOS-tillverkarna och de förser numera en del av sina kassaapparater med MNOS-minnen.

Förinställning av frekvenser i radio och TV-apparater är en annan detalj som med fördel kan klaras elektroniskt med MNOS-minnen. Nitron Corp., den andra stora MNOS-tillverkaren, levererar redan MNOS-minnen för frekvensinställningar i kommunikationsradioapparater och frekvensdelen för TV är också på gång. General Instruments utvecklar bl a en sådan krets och de annonserar också nu det första 8kbit MNOS-minnet.

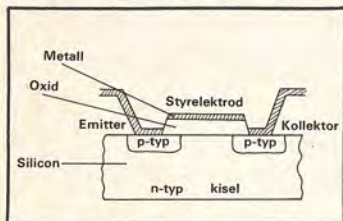
### Telefonen minns numret själv

En annan tillämpning är som kortnummerminne vid automatisk telefonuppringning. De telefonnummer man ofta ringer lagras i ett MNOS-minne och telefonen ringer automatiskt upp dessa nummer genom att man slår ner motsvarande kortnummer (en eller tvåsiffrigt.) Man kan också förenkla återuppringning av ett nummer som var upptaget.

Inom MNOS-tekniken finns stora möjligheter till kundanpassade kretsar, eftersom man kan kombinera icke-flyktiga minnesdelar med vanlig MOS-logik på samma bricka. Små permanenta, men ändå elektriskt ändringsbara, minnen kan läggas in på existerande MOS-kretsar. Telefonnummerminnet kan t ex läggas i samma kapsel som telefonens pulsformare eller motsvarande tonfrekvensdel. Med en enda integrerad krets kan man alltså *utan batteri* förse telefonapparaten med

## MOS, MNOS och FAMOS – tre byggstenar i minnestekniken

### MOS-transistorn



① Byggstenen i en storskaleintegrerad MOS/LSI-krets är MOS-fälteffekttransistorn. MOS står för *Metal-Oxide-Semiconductor* och avslöjar hur MOS-transistorn är uppbyggd. Oxidskiktets tjocklek är 50–100 nm medan kanallängden mellan emitter och kollektor är av storleksordningen 5–10  $\mu$ m.

Mos-transistorn utnyttjas i princip som en switch (omkopplare). Med spänningen på styrelektroden kan man styra strömmen mellan emitter och kollektor. Detta är den s k fälteffekten.

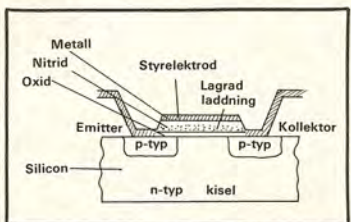
Viktig är MOS-transistorns tröskelspänning, dvs den minsta styrsänning för vilken transistorn leder ström. Styrsänningens storlek jämförd med tröskelsänning avgör alltså transistorns logiska tillstånd. Antingen leder transistorn ström eller så gör den det inte.

### MNOS-minnet

② MNOS-transistorn är helt lik en vanlig transistor – sänar som på att isolatorn består av ett dubbelskikt av nitrid och oxid. MNOS betyder alltså *Metal-Nitride-Oxide-*

*Semiconductor*. De elektriska egenskaperna hos oxid- och nitrid-skikten gör att man kan lagra laddning inne i isolatorn nära skiljeytan mellan de båda skikten.

Positiv eller negativ laddning kan injiceras från kiset till "fällor" nära skiljeytan genom att en kraftig negativ respektive positiv spänning läggs på styret. Det kraftiga elek-



triska fältet tvingar antingen s k hål eller elektroner att "tunnla" genom den tunna oxiden och in i nitriden där de fastnar i fällorna. Denna laddning bestämmer tröskelsänningen som alltså kan anta två olika värden.

Informationen kan läsas genom att man testar MNOS-transistorns tröskelsänning med en lässpänning på styret. Beroende på sitt logiska innehåll blir transistorn antingen ledande eller oledande. Laddningen ligger kvar mycket länge i fällorna och informationen kan därför lagras i årtal.

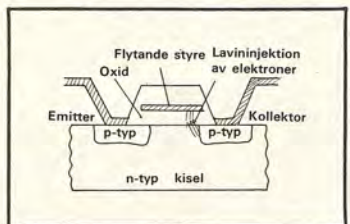
Till skillnad från FAMOS-minnet kan MNOS-minnet både skrivas och raderas elektriskt eftersom både positiva och negativa laddningar kan injiceras. Då antalet skriv/rader cykler är begränsat ( $\approx 10^6$  cykler) saluförs MNOS-minnet som ett

elektriskt ändringsbart read-only-minne.

### FAMOS-minnet

③ FAMOS står för *Floating gate Avalanche injection Metal Oxide-Semiconductor*

FAMOS-transistorn är i princip uppbyggd som en vanlig MOS-transistor, men den saknar elektrisk kontakt till styret som "flyter" i oxiden. Från början är styret oladdat och transistorn oledande. Vid programmeringen backspänner man kollektordioden. Genom s k lavininjektion injiceras då elektroner till styret som blir negativt laddat. Den negativa laddningen på styret



ökar styrsänningen till ett värde större än tröskelsänningen och transistorn blir ledande. Den goda isolationen hos oxiden hindrar sedan laddningen från att läcka ut. Informationen i form av laddning på styret, kan då inte heller raderas elektriskt. Detta måste ske med ultraviolett ljus varvid elektronerna lämnar styret och transistorn blir åter oledande. I datablad beskrivs FAMOS-minnet därför som ett elektriskt programmerbart ROM-minne.

► ett minne där informationen ligger kvar – även om man "byter jack".

Den mest intressanta tillämpning, där icke-flyktiga halvledarminnen snart slår igenom, är räknedosan. Hewlett-Packard har redan modifierat sin HP-25 och försett den med icke-flyktiga CMOS-minnen som sparar programmet så länge

## Effekten lägre än batteriets urladdning



Bandkassetten är också en typ av icke-flyktigt minne som nu kan ersättas med de nya halvledarminnena.

batterierna är laddade (HP25C med sk kontinuerligt minne).

I viloläget med räknedosan frånsågen är CMOS-minnet så effektsnålt att det kräver mindre effekt än vad batteriet ändå förlorar i självurladdning.

### Många tillämpningar för den nya minnestekniken

National Semiconductor aviserar också en ny programmerbar räknedosa (7100) med icke-flyktiga halvledarminnen. Denna räknedosa är verkligen avancerad. Den utnyttjar tre olika minnesteknologier för att uppnå icke-flyktighet. Liksom HP-25C är Nationals 7100 försedd med program- och dataminne i effektsnål CMOS-teknik. Denna räknedosa erbjuder också för permanent lagring av ett stort antal program "verkligt icke-flyktiga minnen" genom utbytbara minneskassetter av plug-in-typ.

Systemet erbjuder många fördelar jämfört med att lagra program på magnetkort. Man slipper elektriska anpassningsproblem mellan magnetkort och programregister. Man slipper motorn och dess drivkretsar. Istället får man ett minne som utgör en integrerad del av räknedosan, och som t o m kan utnyttjas för att utöka antalet programsteg.

National ersätter nu de förpro-

grammerade magnetkorten med en förprogrammerad minnesenhet till denna räknedosa. Ett 16kbit p-MOS ROM-minne som erbjuder en mängd standardprogram. Istället för blanka magnetkort där man kan lagra sina egna program har National-kalkylatorn en plug-in-enhet med två icke-flyktiga MNOS-minnen (1kbit). I dessa, elektriskt ändringsbara minnen kan man lagra egna program i årtal – även med kassetter liggande i skrivbordslådan.

Halvledartillverkarna satsar alltså på en rad olika teknologier för att skaffa sig icke-flyktiga minnen. Mest intressant är lösningarna på elektriskt skriv- och raderbara icke-flyktiga minnen – effektsnål CMOS-teknik och verkligt icke-flyktigt MNOS-teknik.

Många tillämpningar väntar på att utnyttja denna teknologi när den väl slår igenom. MNOS-minnen kan t ex ersätta bandkassetter i en rad tillämpningar där informationsmängden inte är alltför stor. ■



Kjell O Jeppson, civilingenjör vid CTH E 70, är verksam vid inst för elektronfysik III, CTH. Teknisk Tidskrifts fackredaktör för elektroteknik.

# Mikroprocessorn – hjärnan i 80-talets styrsystem

*Det viktigaste som hänt inom elektroniken på senare år är mikroprocessorn, säger Christer M Svensson och Kjell Jeppson. Mikroprocessorn är helt enkelt centralenheten i en dator som integrerad krets. Det låga priset – ca 100 kr – gör att mikroprocessorn nu gör sitt intåg i konsumentprodukter som tvättmaskiner, symaskiner och bilar.*

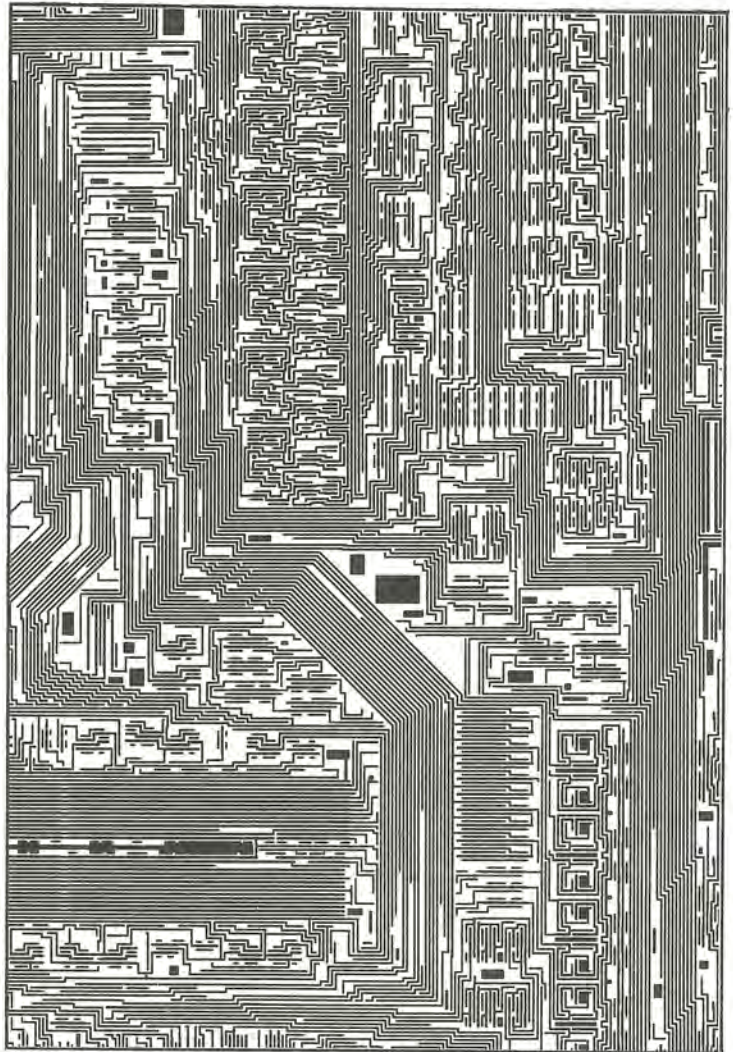
I början av 60-talet började utvecklingen av de integrerade kretsarna – kompletta elektroniska funktionsblock i en enda kapsel. Dessförinnan hade man gjort sådana block genom att koppla ihop en mängd komponenter på stora kretskort. Genom den nya kretstekniken kopplade man istället ihop komponenterna direkt på transistorkristallen.

Tekniken var väl lämpad för massproduktion. Genom en hård standardisering blev serierna stora nog för dramatiska prissänkningar. Faktiskt är det de ständigt sjunkande priserna och den därför expanderande marknaden som drivit fram utvecklingen av allt mer komplexa integrerade kretsar.

De första integrerade kretsarna var ganska enkla funktionsblock. De innehöll ett tiotal komponenter och utförde en enkel logisk funktion. Eftersom ett datorsystem kan byggas upp av ett relativt begränsat antal standardfunktioner kunde halvledarfabrikanterna standardisera sina kretsar i "logiska familjer". De flesta datorer som är i bruk idag, använder denna typ av integrerade kretsar, men kretsarna börjar innehålla alltmer komplicerade block.

## Användningsområdet ökar av sig självt

Blockstorleken växte snabbt. I genomsnitt fördubblades varje år antalet logiska funktioner per integrerad krets. Komplexiteten hade 1965 stigit till omkring 100 komponenter per krets. Ett avgörande steg i utvecklingen togs omkring 1969, när man förutom bipolär teknik alltmer började satsa på MOS-teknik. De första storskaleintegrerade (LSI) kretsarna blev möjliga i just



Del av starkt förstörd metallmask för mikroprocessor. I verkligheten är den endast ca 10 m<sup>2</sup> och innehåller ledningsmönstret till de tusentals funktionsblocken.

MOS-tekniken. Redan 1970 kunde en integrerad krets innehålla 4000 komponenter. Utvecklingen drevs framåt av att man valde block som kunde tillverkas i stora serier. Därigenom hölls priset per block i stort sett oförändrat medan priset per funktion sjönk snabbt.

Den ökande komplexiteten hos kretsarna gjorde det dock svårare att behålla de stora serierna. Den första tillämpningen för LSI-tekniken blev minneskretsar. Minnen var en produkt datormarknaden kunde svälja obegränsade mängder av. Allt större serier med allt större minnen ger lägre pris per minnesbit. Användningsområdet ökar så att säga av sig självt.

Den andra komplexa integrerade krets som också kunde skapa en allt större marknad åt sig själv var den elektroniska kalkylatorkretsen. En jättemarknad öppnade sig då ökande komplexitet hos den integrera-

de kretsen möjliggjorde räknedosan.

## Räknedosan följs av mikroprocessorn

Man skall nu inte förledas att tro att räknedosan är slutet på utvecklingskedjan. Räknedosan verkar snarare vara början. Den visade att det var möjligt att tillverka hela system i ett block, i en eller några integrerade kretsar.

Nästa produkt blev de elektroniska armbandsuren. Den nya tekniken skapade mycket noggranna ur. Genom teknikens lämplighet för massproduktion konkurrerade de enkelt ut de traditionella klockorna med sitt avsevärt lägre pris.

Fortfarande kunde emellertid inte det stora flertalet logiksystem dra full nytta av den integrerade kretsteknikens möjligheter. Halvledarfabrikanterna gjorde stora ansträngningar att reducera designkostnaderna med sk datorstödd

konstruktion, för att därigenom förbilliga komplexa specialkretsar. Men dessa kundanpassade kretsar blev ändå lönsamma endast i ett relativt begränsat antal storserietillämpningar.

Det blev problem att finna den komplexa integrerade logikkrets som till fullo kunde utnyttja teknologins möjligheter samtidigt som den hade ett brett användningsområde och därmed lämpade sig för massproduktion. Lösningen kom att bli *mikroprocessorn*.

Denna bygger på en helt ny och revolutionerande idé för halvledarindustrin men har tidigare utnyttjats i dataindustrin. Mikroprocessorn är en standardiserad logisk enhet, vars speciella funktion bestäms efter tillverkningen genom de mjukvaruprogram som den förses med. Man kan då utföra vilken logisk funktion som helst.

### I dag finns kretsar med 100 000 komponenter

Men åren går och utvecklingen rusar vidare. Fortfarande fördubblas den möjliga kapaciteten och i år (1976) finns integrerade kretsar med närmare 100 000 logiska element. Man frågar sig hur långt utvecklingen kan drivas? Finns det inga begränsningar?

De transistorer som utgör kärnan i de logiska enheterna är komplicerade att tillverka. Ursprungligen tillverkades transistorer en och en ur små kristaller om  $1 \times 1 \times 0.1$  mm, vilket gjorde att de blev ganska dyra. Ett stort framsteg innebar den så kallade *planartekniken* som kom i början av 1960-talet och som utnyttjade fotografisk teknik. Man kunde härigenom kontrollera transistorgeometrin betydligt noggrannare och samtidigt kraftigt sänka tillverkningskostnaden.

Med denna teknik tillverkas transistorerna i det tunna ytskiktet av en ren enkristall av kisel (renheten 99,999 999 %). Kristallen är från början en planpolerad skiva med en diameter av 5–10 cm och en tjocklek av 0.1–0.5 mm. Transistorerna är uppbyggda av olika områden i kiset med olika elektriska egenskaper. Dessa olika egenskaper får kiset vid den så kallade *dopningsprocessen*, då vissa delar av kiset exponeras mot en gas av *störatomer* som tränger in i kiset (och dopar detta). De elektriska egenskaperna förändras då så att vi får vår transistorstruktur. Övriga delar av kisel ytan skyddas av en mask av kisel-dioxid.

I planartekniken kontrolleras komponenternas ytgeometri av en fotografisk process. Mönstren, för t.ex. skyddsoxiden och metallmönstret, finns definierade på en glasplåt och överförs genom en fotografisk process till kristallytan. Noggrannheten hos en sådan process är omkring  $0.5 \mu\text{m}$  (och bestäms av ljusvåglängden). Vinkelrätt mot ytan (i

## Finns inga begränsningar för IC-teknikens utveckling?

djupled) kontrolleras strukturen av fysikaliska och kemiska processer (*diffusion* och *oxidation*). Dessa processer kan kontrolleras mycket noga ( $0.1-0.001 \mu\text{m}$ ).<sup>①</sup>

Förutom mycket god kontroll av geometrin innebar denna metod också en helt ny möjlighet till billig massproduktion. Genom ett så kallat *step-and-repeat*-förfarande upprepar man sitt geometriska mönster så att detta täcker hela kiselkristallen. En yta på  $25 \times 25$  mm kan på så sätt innehålla såg 1000 mönster. En tillverkningssekvens ger då samtidigt 1000 transistorer så trots den komplicerade processen blir kostnaden för varje transistor låg.

### På en kvadratmillimeter finns 1600 minnesceller

Den fotografiska metoden begränsas av den använda ljusvåglängden (ca  $0.5 \mu\text{m}$ ). Ett logiskt element kräver ett mönster av omkring  $10 \times 10$  linjer medan en enkel minnescell kan pressas till  $5 \times 5$  linjer. Varje optisk linje får en osäkerhet som bestäms av ljusvåglängden. Eftersom flera fel adderas under tillverkningen är minsta linjetäthet idag ca  $5 \mu\text{m}$ . Det ger den logiska cellen en yta av  $0.0025 \text{ mm}^2$  (min-

nescellen  $0.000625 \text{ mm}^2$ ). Tillverkningskvaliteten tillåter idag en kretsytta av ca  $40 \text{ mm}^2$ . Vi finner då att dagens komplexitet ligger i storleksordningen  $40/0.0025 = 16\ 000$  logiska element (64 000 minnesceller) per bricka.

Här finns dock stora utvecklingsmöjligheter genom att övergå till t.ex. UV-ljus-, röntgen- eller elektronstrålexponering. Största kretsytan är inte någon fysikalisk begränsning utan beror endast av tillverkningsprocessens kvalitet.

Det var planartekniken och den fotografiska tekniken som möjliggjorde den integrerade kretsen. Istället för att enbart tillverka flera, separata transistorer och dioder på samma kisel-skiva kunde man nu alltså koppla ihop dem direkt på kisel-skivan. På så sätt fick man hela funktionsblock i ett stycke och slapp koppla ihop enstaka transistorer och dioder på kretskort. Med denna teknik gick det dessutom bra att tillverka motstånd – och i viss mån kondensatorer. Man kunde också mångfaldiga mönstren så att man kunde tillverka 1000 hela funktionsblock på samma kisel-skiva.

I de första integrerade kretsarna sökte man kopiera redan kända kretslösningar, men det fungerade dock inte så bra. Man fick dels stora problem med de höga kvalitetskraven på de ingående komponenterna, och dels blev serierna för små. Först när man insåg standardiseringens och seriestorlekens betydelse fick de integrerade kretsarna sin stora framgång. På så sätt uppstod de logiska "kretsfamiljerna" som *DTL*, *TTL* osv. De logiska kretsarna kunde enkelt standar-

diseras, de krävde inte komponenter av hög kvalitet och efterfrågan var växande. Det är dessa "familjer" som bygger upp dagens datorer.

Men man ville ytterligare förenkla de integrerade kretsarna. Kretsar med "vanliga" *bipolära* transistorer, dioder och motstånd var komplicerade och svåra att tillverka. Genom att gå över till MOS-teknik vann man många fördelar.

I en MOS-krets kan de logiska elementen byggas upp av enbart *MOS-transistorer*. MOS-transistorerna kräver färre fotografiska masker och behöver inte isoleras från varandra som vanliga transistorer. Detta betyder enklare tillverkning och fler logiska element per ytenhet på kiselbrickan. MOS-tekniken blev ledande när det gällde utvecklingen mot alltmera komplexa kretsar trots sina sämre prestanda. <sup>②</sup>

### Dopad kristall blir transistor

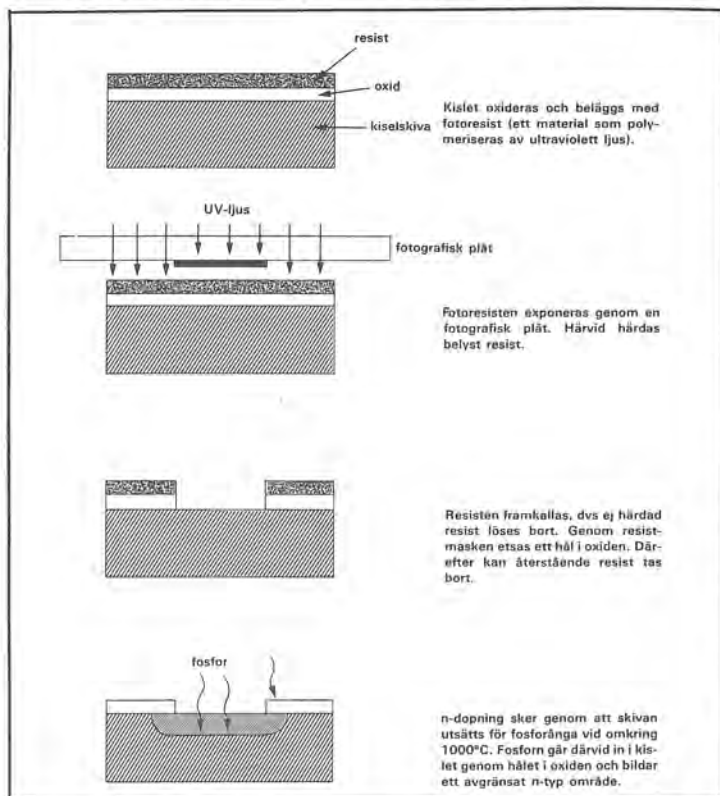
Man utgår således från en polerad, enkristallin kisel-skiva med noggrant bestämd *p-dopning*. I denna skiva gör man lokala *n-dopningar*. Man låter fosforatomer diffundera ner i kiset genom en oxidmask. Eftersom själva transistoren utgörs av området mellan dessa dopningar måste avståndet här kontrolleras noga ( $5 \pm 0.5 \mu\text{m}$ ). Diffusionen utförs i en rörgn vid omkring  $1000^\circ\text{C}$  i en atmosfär av t.ex. Argon, syrgas och boran ( $\text{B}_2\text{H}_6$ ).

Därefter tillverkas den så kallade *fältoxiden*. Denna är ganska tjock (omkring  $0.5 \mu\text{m}$ ) och tillverkas genom utfällning av kisel-dioxid från en blandning av silan ( $\text{SiH}_4$ ) och syrgas vid omkring  $400^\circ\text{C}$ . I tjockoxiden etsas hål för transistoren.

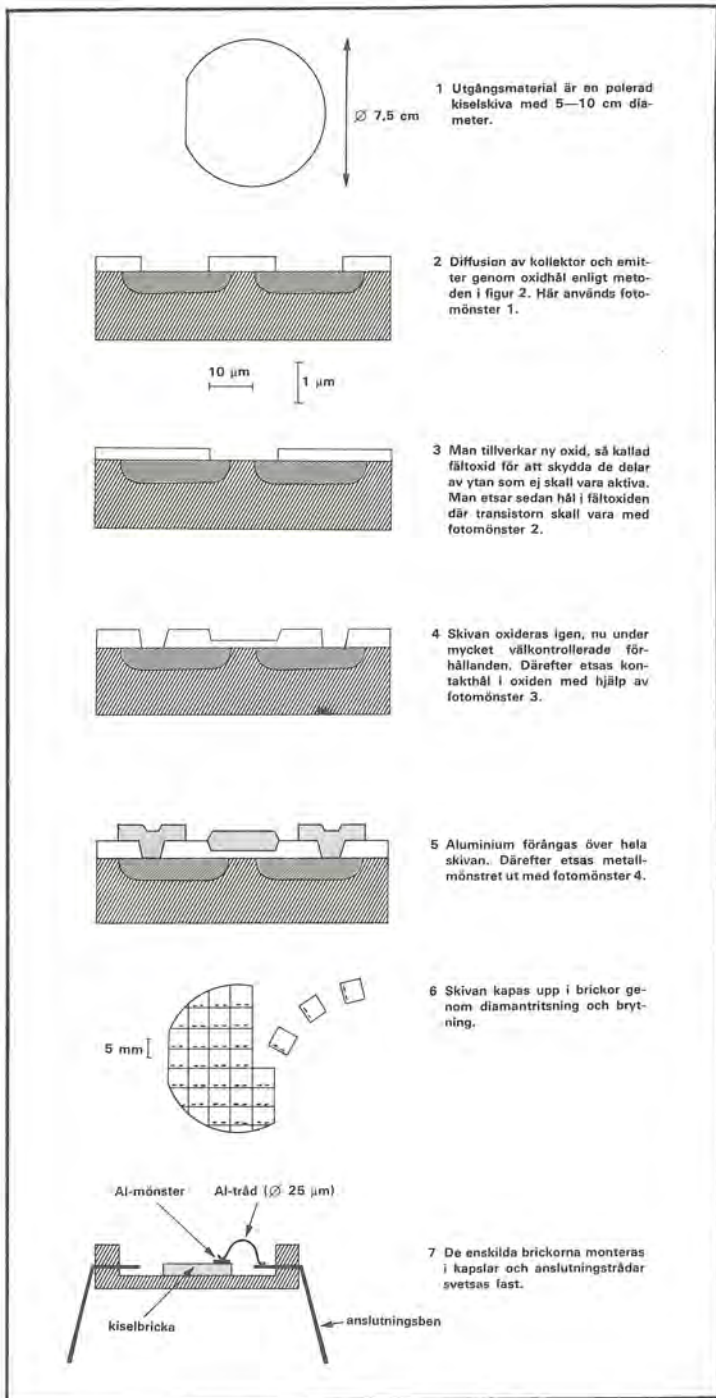
Det uppstår en liten komplikation, när man använder flera fotomönster eftersom dessa naturligtvis måste passas till varandra. Man har dock utvecklat maskpassningsmaskiner, där man under mikroskop kan passa in det nya mönstret på det gamla med en noggrannhet av omkring  $0.5 \mu\text{m}$ .

Skivan oxideras sedan i syrgas eller vattenånga vid  $900-1200^\circ\text{C}$ . Ett kisel-dioxidskikt med mycket hög kvalitet växer på kisel-ytan. I denna process är kraven på renhet extrema. En förorening av t.ex. 0.01 natriumatomer per yttatom på oxid-ytan skulle helt spolia resultatet. Ett oxidskikt med tjockleken  $0.08-0.1 \mu\text{m}$  växer på detta sätt. När oxidskiktet tillverkas etsas skivan ånyo, nu för att göra hål för kontakter till kisel-ytan.

Slutligen förångas aluminium över hela ytan. Detta sker i en vacuum-kammare, där aluminiumet kokas i en degel. Den avgående aluminium-ångan får sedan kondensera på kisel-skivan som är placerad ovanför degeln. Efter etsning av metallskiktet är transistorerna (kretsarna) i princip funktionsdugliga. Brickor-



① Tillverkningsstegen vid planarteknik. Metoden är mycket noggrann – omkring  $0.5 \mu\text{m}$  – och bestäms av ljusvåglängden.



② Tillverkningsstegen för MOS-transistorer. Metoden innebär enklare tillverkning och fler logiska element per ytenhet.

na testas i en s k probestation. Denna ger kontakt med brickorna genom små metallspetsar, som sänks ner mot kiselkivan, och de brickor som inte fungerar bortsorteras.

Skivan kapas sedan i brickor på samma sätt som man skär glas. Skivan ritsas först med en diamant och sedan bryts den isär. Varje bricka monteras i en kapsel genom lödning med ett kisel-guld-lod till ett guldsikt i kapseln. Anslutningstrådarna, ca 25  $\mu$ m tjock aluminiumtråd, svetsas slutligen till bräckans metallskikt och kapselns förgyllda ben med ultraljudsvetsning.

### Bara fyra mönster ger funktionen

Det intressanta med denna tillverk-

ningsmetod är att kretsens kopplingschema och funktion bestäms helt av fyra fotografiska mönster. Samma tillverkningslinje kan således användas för olika, godtyckliga kretstyper.

Låt oss se hur den enklaste logiska kretsen, *inverteraren*, ser ut i MOS-teknik. ③ Denna komponent inverterar således signalen, dvs den ger hög utspänning då inspänningen är låg och tvärtom. Observera att den består endast av två MOS-transistorer. Observera också enkelheten i mönstret. Mönstret innehåller faktiskt inte mycket mer än tillledningarna. Transistorerna utgöres av den del av kisel-ytan, mellan två dopade områden, som är täckt med metall.

Från att göra en enkel inverterare till att göra en integrerad krets är steget inte långt. Det enda man behöver göra är att rita ett mer komplicerat mönster. Vid framställning av mönster av denna svårighetsgrad används naturligtvis datorstödd konstruktion. Mönstret genereras sedan av datorn och används som tidigare i form av fotografiska plåtar innehållande 100–10000 kretsar på en yta av 10×10 cm.

### Åttioalets komponent – Mikroprocessorn

Det viktigaste som hänt elektroniken under senare år är utvecklingen av mikroprocessorn. En mikroprocessor är helt enkelt centralenheten i en dator, tillverkad i ett stycke i form av en integrerad krets. En mikroprocessor, tillsammans med ett eller ett par minnen, utgör i princip en komplett dator.

När den första mikroprocessorn introducerades omkring 1972 var intresset för den ganska ljust. Dess prestanda var dåliga om man jämförde den med en vanlig dator. Man tänkte dock inte på att den, trots dåliga prestanda, kunde användas i en mängd tillämpningar där det aldrig kunde bli tal om att använda dator p g a kostnaden. Man tänkte inte heller på att prestanda snabbt kunde förbättras – när utveckling-

en väl kom igång.

I dag är läget i det närmaste omvänt. Intresset för mikroprocessorer ökar snabbt och användningarna begränsas endast av användarnas fantasi. Prestanda blir snabbt bättre och nu kan de t ex användas för att bygga upp konkurrenskraftiga minidatorer. Mycket tyder på att mikroprocessorn på åttiotalet kommer att ersätta nästan all konventionell logik. Men inte bara det, mikroprocessorn gör det också möjligt att använda elektronisk logik i mängder med nya applikationer.

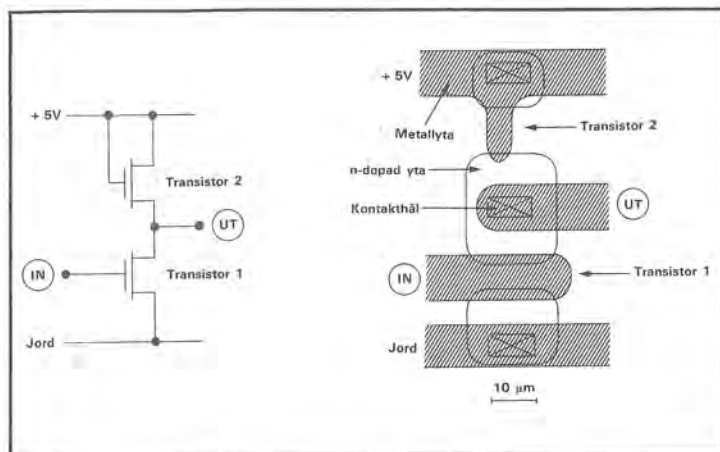
### Industrin intelligentare med mikroprocessorn

Mikroprocessorn används i dag i en mängd produkter, exempelvis i datainsamlingssystem, kontorsmaskiner, kassaapparater och bordskalkylatorer. De används också i all slags industriell styr-, regler- och övervakningsutrustning, som med mikroprocessorer blir betydligt intelligentare och lätthanterligare. Detta är exempel på användningar där mikroprocessorn tagit över från konventionell logik och man anser det för närvarande lönsamt att ersätta system med mer än ett femtiotal konventionella integrerade kretsar med mikroprocessorer.

Lika viktigt, men betydligt mer intressant, är mikroprocessorns roll i produkter som inte förut haft någon elektronisk logik utan varit mer eller mindre mekaniskt uppbyggda. Det mycket låga priset (omkring 100 kronor) gör att mikroprocessorer gjort sitt intåg i konsumentprodukter, som tvättmaskiner, symaskiner och bilar. I höst annonserar t ex Singer ut sin första "dator"-styrda symaskin och i Oldsmobile Tornado 1977 kommer man att ha mikroprocessorstyrd tändning.

Mikroprocessorn skapar i sig själv också nya produkter. Exempelvis bygger de s k TV-spelen (eller videospelen) på mikroprocessorer. Ett TV-spel är en tillsats till TV:n som gör att man kan spela "bordtennis", "ishockey" m m på sin egen TV-skärm.

Som redan sagts: mikroprocessorns användningar begränsas bara av användarnas fantasi.



③ Inverterare i s k n-MOS-teknik. Mönstret innehåller nästan bara tillledningarna och själva inverteraren utgöres endast av en del av kisel-ytan.



Kjell Jeppson, civ ing CTH E 70, är verksam vid inst för elektronfysik III. CTH. Teknisk Tidskrifts fackredaktör för elektroteknik.



Christer Svensson, tekn dr CTH 1970, är forskarasistent vid Institutionen för Elektronfysik III vid CTH.

# Optiska minnen framtidens massminnen?

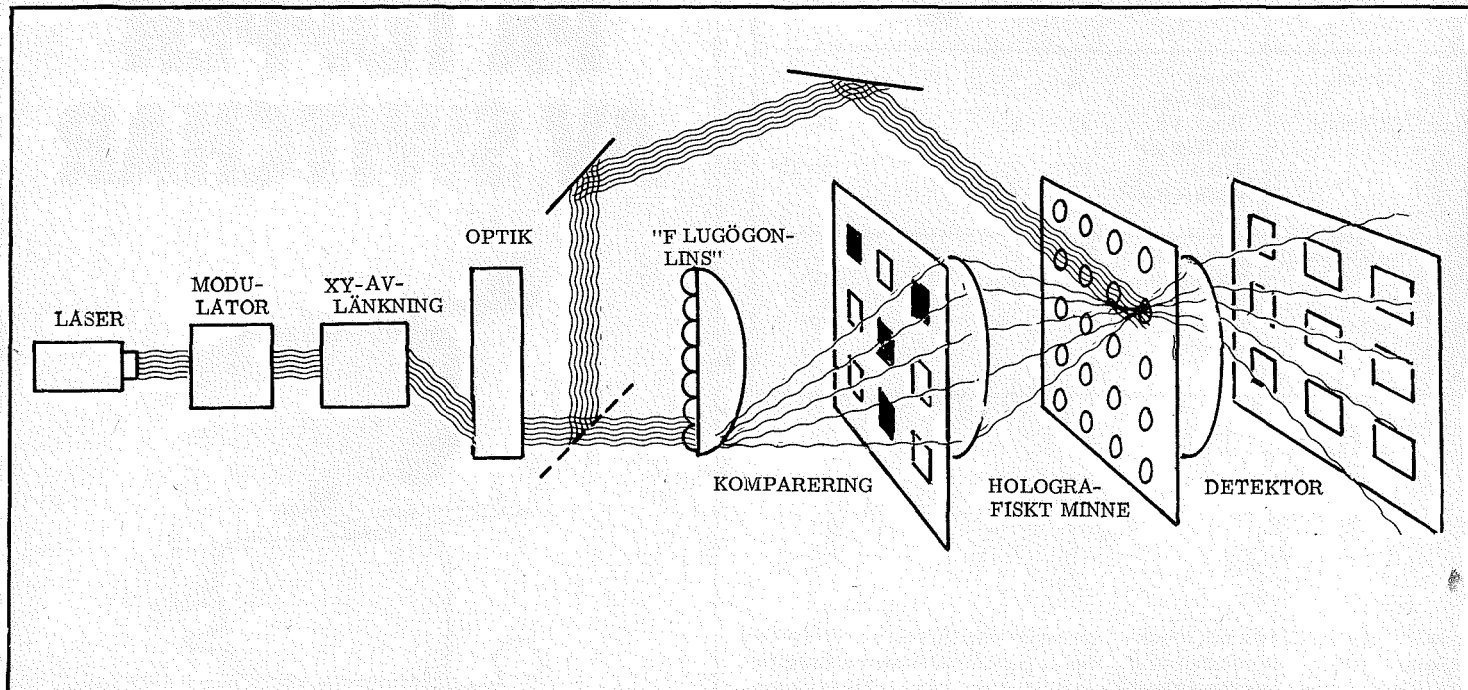
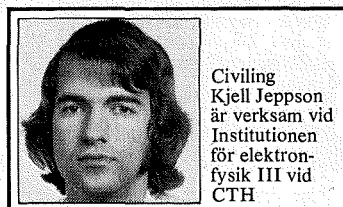


Fig. 1. Holografiskt minne.

I framtida datorer har man behov att lagra allt större informationsmängder. För att klara detta behöver man tillgång till ett massminne med avsevärd kapacitet kombinerad med låg accesstid. Optiska minnen är en ny typ av minnen som i framtiden kan komma att erbjuda dessa båda möjligheter. Beträffande forskningsinsatser görs i laboratorierna världen runt för att utveckla den teknik som skall kunna föra ut de optiska massminnena på marknaden.

AV KJELL JEPPSON

Störst lagringskapacitet idag har de magnetiska skivminnena. IBM:s system bestående av åtta spindlar med vardera 20 lagringsytor kan lagra ungefär  $6,4 \cdot 10^9$  bitar. Lagringstätheten är  $1,2 \cdot 10^5$  bitar/cm<sup>2</sup> och den aktiva minnesytan 6,5 m<sup>2</sup>.



Civiling Kjell Jeppson är verksam vid Institutionen för elektronfysik III vid CTH

Optiska minnen erbjuder en avsevärd ökning av lagringstätheten, eftersom bittätheten begränsas endast av ljusets våglängd ( $\approx 0,5 \mu\text{m}$ ). Fullt rimligt är ett minnessystem med bitdiametern 1  $\mu\text{m}$  och ungefär samma avstånd mellan bitarna. Packningstätheten blir  $2,5 \cdot 10^7$  bitar/cm<sup>2</sup> med teoretisk möjlighet att vinna ytterligare en faktor 4.

Antag att vi fortfarande har en tillgänglig minnesyta på  $6,5 \cdot 10^4$  cm<sup>2</sup> och ett massminne med en kapacitet på över  $10^{12}$  bitar är en realitet. Att det är praktiskt möjligt har också visats i ett laseradresserat arkivminne (Unicon) lanserat av en amerikansk tillverkare, Precision Instruments. I detta minne lagras informationen genom att lasern bränner hål i en tunn metallfilm. Minnet kan bara skrivas en gång och informationen läses genom att hålen detekteras.

Det är också möjligt att lagra information i form av hologram. Varje hologram har en diameter av ca 1 mm och innehåller upp till  $6,5 \cdot 10^4$  bitar. Med den höga packningstäthet som de holografiska minnena erbjuder, är det möjligt att göra ett massminne utan mekaniskt rörliga delar. Om minnesytan göres fast bestäms dess maximala yta av hur stor lins man har tillgång till. En 30 cm lins innebär en tillgänglig minnesyta på  $7 \cdot 10^2$  cm<sup>2</sup>. Total minneskapacitet blir ungefär  $4,5 \cdot 10^9$  bitar.

## Två typer

Som har framskyttat i inledningen kan ett optiskt minne organiseras på

i huvudsak två sätt. I ett sekventiellt bit-för-bit-minne skrives och läses en bit i taget, medan i ett holografiskt minne ca  $10^4$  bitar, vilka utgör en sida, skrives och läses parallellt.

De sekventiella minnet kräver en laser, en modulator för att modulera ljusstrålen vid etta och nolla och för att kontrollera dess intensitet vid skrivning eller läsning, ett avlänkningsystem för att adressera strålen, ett lagringsmedium och en optisk detektor för utläsning av informationen. Huvuddelen i systemet är avlänkningsystemet och det raderbara minnesmediet vilket skall kunna skrivas och läsas upprepade gånger med samma ljusstråle. I ett bit-för-bit-minne krävs också i allmänhet ett mekaniskt roterande minnesmedium, då den optiska avlänknings inte räcker till för att kunna adressera ett tillräckligt stort antal bitar. Ett optiskt minne av denna typ är det som först kan förväntas komma ut på marknaden. Det stora problemet är att utveckla ett lämpligt skriv- och raderbart minnesmedium. De resultat som har uppnåtts med framför allt magneto-optiska filmer verkar emellertid mycket lovande. Det finns också redan ett Read-Only-minne av denna typ (Unicon).

## Holografiskt minne

Den mest tilltalande lösningen erbjuder emellertid det holografiska minnet. Principen bakom detta minne visas i fig. 1. Vid skrivning lagras den aktuella informationen först i

komponeringsmatrisen. Denna är ett xy-adresserat minne med ca  $10^4$  bitar, där varje lagrad bit styr en ljusventil som antingen är öppen eller stängd. Informationen omvandlas alltså till ett tvådimensionellt mönster.

Tillsammans med en referensstråle från lasern, projiceras Fouriertransformen av detta mönster genom ett linsystem mot minnesmediet. Interferensmönstret mellan dessa två strålar lagras i form av ett hologram. En sida bestående av  $10^4$  bitar överförs alltså parallellt till minnesmediet.

På samma sätt läses en sida ut genom att en referensstråle genom avlänkningsystemet adresseras mot ett av de många hologrammen. Referensstrålen diffrakteras av hologrammet och en bild av sidinformation erhålles på en fotokänslig detektormatris. Varje fotodetektor styr en transistorvippa vars information kan läsas ut elektriskt. En bild av informationen kan erhållas både framför och bakom minnesmediet eftersom både den transmitterade och reflekterade strålen diffrakteras.

## För- och nackdelar

Fördelen med ett holografiskt minne är att mycket stor lagringskapacitet kan erhållas i ett mekaniskt orörligt system. Detta innebär kortare accesstid, cirka 10  $\mu\text{s}$ , och ökad tillförlitlighet. En annan fördel är att informationen från varje bit är fördelad över hela hologrammet. Detta medför att minnet är relativt okänsligt för dammpartiklar och re-

por vilka är av samma storleksordning som enstaka bitar vid denna höga packningstäthet. I stället för att en speciell bit förstörs av dammkornet försvagas i stället varje bit något.

Samtidigt som det holografiska minnet erbjuder den mest attraktiva lösningen i ett optiskt minnesystem, ställer det också forskarna inför en lång rad problem som måste lösas innan minnet kan förverkligas. Problemen rör utvecklingen av nästan samtliga delar i minnesystemet som: optisk avlänkning, komponeringsmatris, raderbart minnesmedium och detektorsystem. Dessutom bestäms den maximala minnesytan som är tillgänglig i ett mekaniskt orörligt minnesystem av tillgänglig linsdiameter, eftersom åtminstone en lins måste ha samma diameter som minnesytan. En annan mycket viktig faktor är den energi som krävs för att skriva ett hologram på  $1 \text{ mm}^2$ . Med alltför okända minnesmedia kan det komma att krävas högeffektlasrar för att uppnå snabb access. I de sekventiella bit-för-bit-minnena är inte lasereffekten lika betydelsefull, eftersom man endast skriver en bit på  $1 \mu\text{m}^2$  i taget. Av stor vikt är också minnesmediets diffraktionsverkningsgrad, dvs hur stor del av referensstrålen som diffrakteras mot detektormatrisen vid läsning. Om varje sida innehåller  $10^4$  bitar, diffraktionsverkningsgraden är 0,01 och förlusterna i det optiska systemet är ytterligare en faktor 10, kommer endast  $10^{-7}$  av den ursprungliga strålningsintensiteten att nå varje detektor. Detta måste kompenseras med ökad lasereffekt och känsliga detektorer.

### Raderbara holografiska material

Vad finns det då för raderbara material lämpade för lagring av information och vilka egenskaper ska dessa material ha? ■ Materialet måste vara stabilt så att den lagrade informationen ligger kvar under lång tid. ■ Skrivning, radering och läsning skall kunna upprepas ett stort antal gånger utan att materialets egenskaper försämras. Detta innebär också att man eftersträvar icke-förstörande läsning. ■ Materialet måste ha hög upplösning för att medge den höga packningstätheten, och dess egenskaper måste tillåta användning vid rumstemperatur. ■ En mycket viktig faktor är den effekt som krävs för att skriva ett hologram, och för utläsning är det viktigt att materialet har hög diffraktionsfaktor.

Låt oss nu närmare studera några material som kan tänkas uppfylla dessa villkor. Dessa material är ■ termomagnetiska ■ ferroelektriska, ■ termoplastiska och fotokroma material ■ amorfa halvledare.

**Termomagnetiska material.** Att utnyttja termomagnetiska effekter i ferromagnetiska material är ett sätt

att få raderbara minnesmedia. Dessa minnen kallas magneto-optiska och bland dessa är mangan-vismut (Mn-Bi) filmer de mest använda. Ett krav för hög packningstäthet är att MnBi-filmen göres tunn. Den magnetiska företrädesriktningen i materialet ligger vinkelrät mot filmens plan. Vid skrivning värms filmen upp över sin Curietemperatur ( $360^\circ$  för MnBi-filmer) så att magnetiseringen försvinner. Då den värmda punkten svalnar och temperaturen sjunker förbi Curie-temperaturen magnetiserar den i motsatt riktning av ett svagt yttre magnetfält. Radering sker på samma sätt som skrivning, men med det yttre fältet riktat i företrädesriktningen. När informationen skall läsas kommer polarisationen hos referensstrålen att vridas olika mycket beroende på magnetiseringsriktningen. Med hjälp av en analysator kan informationen återvinnas i detektormatrisen. Detta material verkar för närvarande vara det mest lovande, framför allt i bit-för-bit organiserade minnen, och har också använts i ett flertal företags (RCA, Honeywell) prototyper.

**Termoplastiska material.** En annan typ av material som används är de termoplastiska materialerna. De används i en dubbelskiktstruktur tillsammans med ett fotoledande material. Dubbelskiktet laddas upp till en viss potential, och när det belyses vid skrivning omfördelas denna laddning efter den infallande ljusintensiteten. Materialet värms sedan upp så att termoplasten mjuknar. De elektrostatiske krafterna påverkar materialet så att dess tjocklek kommer att variera något, styrd av den tidigare ljusintensiteten. Denna tjockleksvariation ger upphov till en fäsvridning av referensstrålen vid utläsning. Termoplastiska minnesmedia har också använts i prototyper på RCA. En nackdel är dock den långsamma och komplicerade skriv- och rader-proceduren.

**Feroelektriska kristaller.** Den permanenta elektriska polarisationen i ferroelektriska kristaller kan styras optiskt och därmed utnyttjas för att lagra information i optiska minnen. Utläsningen av information grundas på den elektrooptiska effekten att brytningsindex i kristallen varierar med den elektriska polarisationsriktningen.

Feroelektriska kristaller kan användas på två sätt. Det vanliga är att man använder ett dubbelskikt av ett ferroelektriskt och ett fotoledande material mellan två elektroder, varav den närmast fotoledaren är genomskinlig. I punkter som ej är belysta ligger spänningen över fotoledaren och polarisationen i materialet påverkas ej. I belysta punkter däremot ligger så stor spänning över det ferroelektriska materialet att dess polarisation vrids i motsatt riktning mot den ursprungliga.

Den andra metoden utnyttjar den laddningsomfördelning som sker i vissa ferroelektriska kristaller vid belysning. När kristallen belyses vid skrivning exciteras elektroner optiskt i de belysta områdena och fångas sedan åter in i fallor i de närliggande mörka områdena. Detta ger en olikformad rymdladdningsfördelning, som ger upphov till variationer i brytningsindex genom den elektrooptiska effekten.

Feroelektriska kristaller är speciellt lämpliga för att lagra hologram, då utläsningen grundas på variationer i brytningsindex i stället för absorptionsvariationer, vilket ger hög diffraktionsverkningsgrad.

**Övriga material.** Även fotokroma material kan användas som optiskt minnesmedium. Detta materials absorptionspektra påverkas när de belyses. Detta innebär att absorptionen av en viss våglängd ökar eller minskar beroende på belysningen vid skrivning.

Den senaste tiden har en hel del framsteg noterats med amorfa halvledare, vilket skulle kunna leda till att dessa material kan användas som optiskt minnesmedium. Principen grundar sig på att värmen från laserstrålen förändrar materialstrukturen från amorf till kristallin. Då absorptionskillnaden mellan den amorfa och kristallina fasen är avsevärd kan informationen sedan detekteras optiskt.

Att det erbjuder problem att utveckla lämpliga skriv- och raderbara minnesmedia visas emellertid av att flera företag nöjt sig med att utveckla prototyper av optiska Read-Only minnen. Vad sådana minnen kan komma att spela för roll verkar dock mycket osäkert.

**Tekniska problem.** Eftersom optiska minnen fortfarande befinner sig i inledningen av sin utveckling återstår många problem att lösa förutom att hitta det mest lämpliga minnesmediet. Hur avlänkar man t ex laserstrålen utan rörlig mekanik? Det finns två sätt, på elektro-optisk och akusto-optisk väg. Vid akusto-optisk avlänkning ger en akustisk väg genom en genomskinlig kristall upphov till periodiska variationer i brytningsindex. Dessa variationer verkar som ett gitter och avlänkar ljuset genom gitterdiffraktion. Ett fullt realistiskt mål är att åtminstone  $256 \times 256$  positioner är slumpmässigt åtkomliga på  $1 \mu\text{s}$ .

Den minst utvecklade komponenten hittills är komponeringsmatrisen, helt enkelt beroende på att det inte finns någon tillräckligt enkel och snabb ljusventil. Tänkbara lösningar är att använda elektro-optiska, magneto-optiska och flytande kristaller.

Feroelektriska kristaller kombinerar minnesegenskaper med en stark elektrooptiska effekt som tidigare beskrivits. Hög packningstäthet och en snabbhet på  $1 \mu\text{s}$  har

demonstrerats, men tyvärr finns det en hel del nackdelar med dessa kristaller liksom med magnetiska material.

Den lösning som tycks enklast att realisera, och som också testats på RCA, är att använda en flytande kristallfilm i direkt anslutning till en integrerad krets. En flytande kristall är normalt genomskinlig men under påverkan av ett elektriskt fält förändras dess egenskaper så att ljuset i stället sprids.

Som tidigare nämnts kan detektering av ett hologram ske både framför och bakom detta. Det innebär att komponeringsmatrisen och detektorsystemet enkelt kan kombineras genom att den integrerade kretsen också innehåller fotodioder eller transistorer. Den stora nackdelen med flytande kristaller är dess långsamhet, 10–20 ms. Det kan dock vara fullt acceptabelt i ett inledande experimentstadium, men i så långsamma system är det å andra sidan knappast motiverat att komplicera komponeringsmatrisen genom att låta den vara gemensam med detektormatrisen.

Nyligen har RCA också tagit fram en ny typ av komponeringsmatris. Denna, liksom flytande kristall-matrisen, reflekterar ljuset mot minnesmediat. Matrisen består av små, tunna metallmembran som fungerar som spegelement. Under påverkan av en elektrostatiske kraft deformerar membranet och sprider ljuset i andra riktningar.

### Sammanfattning.

Optiska minnen kan i framtiden komma att bli det nya snabba massminnet i våra datorer. Möjligheter finns att framtida optiska massminnen kan komma att ersätta vara i dag hierarkiskt uppbyggda dataminnen. En hel del problem återstår dock att lösa med att bli en finna lämpliga raderbara minnesmedia liksom en snabb och enkel komponeringsmatris, innan ett snabbt optiskt massminne är en praktisk realitet. Redan idag finns emellertid optiska arkivminnen med kapacitet på  $10^{12}$  bitar (Unicon). Detta är dock ett sekventiellt bit-för-bit-minne där information bara kan skrivas en gång men sedan läsas upprepade gånger.

### Litteratur

- 1) Hammond, A L: *Optical Data Storage: Mass Memories for Euture Computers?* Science. (1973, 20 april). p. 287–289.
- 2) Chen, D & Tuft O N: *Optical techniques for data storage.* IEEE Spectrum, (1973, februari). p. 26–32.
- 3) Aagard, R L & Chen D & Lee T C: *Advanced Optical Storage Techniques for Computers.* Applied Optics. 11 (1972) 10 (oktober). p. 2133–2139.
- 4) Rajchmann, J A: *Promise of Optical Memories.* Journal of Vac. Sci. Techn. 9 (1972 september). p. 416–420.

# Kan (COS)MOS ersätta bipolärt i kosmos?

**Hur står sig egentligen MOS-kretsarna när de utsätts för joniserande strålning? Det är en viktig fråga vid rymdtekniska och militära tillämpningar, i första hand. Men det finns också andra vetenskapliga och tekniska tillämpningar där detta är en fråga av stort intresse.**

AV KJELL JEPPESON

Under de senaste åren har teknologin för konstruktion och tillverkning av Metal-Oxid-Semiconductor (MOS)-komponenter gått framåt oerhört snabbt. Integrerade MOS-kretsar har slagit ut sina föregångare och medtävlare, de bipolära kret-

sarna, på flera områden. Ett användningsområde som kan förefalla speciellt väl lämpat för MOS-kretsar är inom rymdtekniken, eftersom MOS-kretsar har hög packningstäthet, låga tillverkningskostnader och framför allt låg effektförbrukning. Speciellt stora fördelar erbjuder de komplementära MOS-kretsarna, COSMOS- eller CMOS-kretsar, då dessa har mycket låg viloeffektförbrukning och tål mycket höga störnivåer. Tyvärr har tidigare undersökningar visat att MOS-kretsar är mycket känsliga för joniserande strålning, gamma-, röntgen och elektronstrålning, vilket de i hög grad kommer att utsättas för i rymden – och i militära tillämpningar.

Då en rymdfarkost måste göras lätt och billig, är det ofta omöjligt att skärma de aktiva komponenterna så att infallande strålning helt utestängs; man måste konstruera sina kretsar så att de kan fungera trots en viss strålningsnivå.

Man brukar skilja mellan två olika typer av strålningseffekter: permanenta och transienta. *Permanent strålningseffekter* uppstår i kretsar som under lång tid utsätts för strålning, t ex i en rymdfarkost i en bana runt jorden. Den primära felmekanismen i CMOS-kretsar är den välkända effekten att strålningen or-

sakar positiv laddning som lagras upp i isolatorn vid kiselytan, fig. 1, och orsakar ett *negativt skift hos transistorns tröskelspänning*. Detta i sin tur kan leda till att en MOS-inverterare blir omöjlig att skifta, fig. 2. *Transienta strålningseffekter* uppstår ex vid kärnladdningsexplosioner då en kort, kraftig strålningsskott träffar kretsen och i värsta fall ändrar utspänningsnivån på någon grind.

Några typiska strålningsnivåer då permanenta strålningseffekter kan uppstå är:

- $10^{13}$  neutroner/cm<sup>2</sup> ger upphov till skador pga atomförskjutningar i kiselgittret, vilket minskar förstärkningsfaktorn i bipolära transistorer.
- $3 \times 10^5$  rad \*) av gamma- eller rönt-

**Tabell 1. Strålningsdos som orsakar visst tröskelspännings-skift för MOS-transistorer med olika isolatorer.**

	strålningsdos (rad)		
$\Delta U_{UT}$ (V)	typisk oxid	dubbel- P <sub>2</sub> O <sub>5</sub> (SiO <sub>2</sub> )	aluminium- oxid
-4	4·10 <sup>4</sup>	1,3·10 <sup>5</sup>	2·10 <sup>6</sup>
-2	10 <sup>4</sup>	4·10 <sup>4</sup>	6·10 <sup>5</sup>

genstrålning ger upphov till upplagring av positiv laddning i isolatorn vid kiselytan, *jonisations-skador*, i MOS- och bipolära transistorer, vilket ändrar tröskelspänningarna, minskar förstärkningen och ökar yt-läckströmmarna.

•  $10^{13}$  elektroner/cm<sup>2</sup> med energin i MeV ger upphov till både gitterförskjutningar och jonisations-skador, av vilka den senare är den dominerande felfaktorn i många integrerade kretsar.

Mycket kritiskt för logiska kretsar är de transienta felfunktionerna, ofta kallade TREE-effekterna (Transient Radiation Effects in Electronics). En krets tål en maximal intensitet på ungefär  $10^8 - 10^9$  rad (Si)/s utan att någon information förstörs.

## Permanent strålning

Permanent strålning orsakar fel i MOS-komponenter genom att tröskelspänningen skiftas mot mer negativa värden, proportionellt mot gamma (elektron-) strålningsdosen. I bipolära kretsar däremot degraderar komponenterna genom att förstärkningen minskar. Mättnadsspänningen ökar också, genom git-

\*) (Med 1 rad (Si) menas den energi som absorberats per gram av det absorberande materialet, i detta fall kisel. 1 Rad = 100 erg/gram).



Författaren, civ ing Kjell Jeppson är verksam vid Institutionen för elektronfysik III vid CTH.



terförskjutningar i kiset, orsakade av neutronstrålningsdosen.

### MOS-transistorer

Den primära orsaken till att MOS-transistorer degraderar är att den joniserande strålningen bygger upp en positiv laddning i isolatorn. Den infallande strålningen ger nämligen upphov till hål-elektronpar i kiseldi-oxiden. Hålen är relativt orörliga och fångas direkt i fällor vid kiselytan, medan elektronerna är lättörliga och driver ur oxiden under inverkan av det elektriska fältet, fig 1. En positiv nettoladdning kommer att byggas upp i oxiden. Denna positiva laddning blir större ju större fältet i oxiden är under bestrålningen. För att kompensera denna laddning fordras en allt större negativ spänning för att driva en P-kanal-transistor medan en N-kanaltransistor kan förändras från anriknings- till utarmningstyp. Detta innebär att MOS-transistorers tröskelspänning skiftar mot mer negativa värden, fig 3.

En betydelsefull parameter som bestämmer laddningsupplagringen är fälttäteten i isolatorn. Denna kan man påverka genom att välja olika isolatorer som termisk eller pyrolytisk kiseldioxid, kiselnitrid, aluminiumoxid eller dubbelskikt av dessa

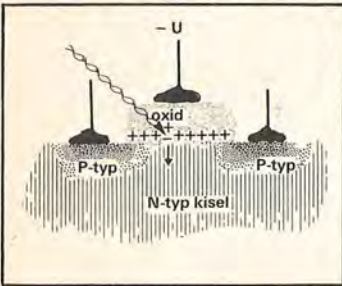


Fig. 1. Positiv laddningsupplagring i oxiden vid kiselytan, på grund av joniserande strålning.

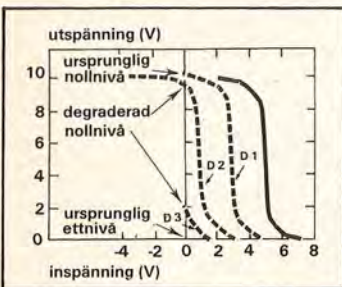


Fig. 2. Tröskelspänningsskiftets inverkan på en inverterares överföringskaraktistik. Den heldragna kurvan längst  $t$  v visar det ursprungliga läget; strålningsdosen har sedan ökat från D1 till D2 och vidare till D3. Hämtad från litt.-ref. (1).

isolatorer. Väljer man termisk oxid som isolator kan man påverka fälttäteten genom att hålla natriumhalten i oxiden låg och dessutom kan den minskas genom att oxiden dopas med aluminium eller krom.

Problemet att tillverka strålningsokänsliga MOS-kretsar består alltså

i att hitta en hård isolator som varken ger upphov till någon nämnvärd laddningsupplagring eller instabilitetsfenomen vid kiselytan. Den joniserande strålningen har också en viss inverkan på transkonduktansen och kanalresistansen. Även neutronstrålning ger upphov till ett visst tröskelspänningsskift och transkonduktansminskning, men denna effekt är försumbar jämfört med inverkan av den joniserande strålningen.

Om tröskelspänningsskiftet är för stort förlorar CMOS-inverteraren sin förmåga att invertera, fig 2. En CMOS-inverterare byter läge vid ungefär halva matningsspänningen, dvs 5 V har vid sina båda logiska nivåer en störmarginal på ca 4 V. Tabell 1 visar vilka strålningsdoser som fordras för att skifta några olika MOS-transistorer med olika isolatorer. Ju större dos en CMOS-inverterare utsatts för, ju mer har tröskelspänningen skiftat vilket innebär att störmarginalen vid låg ingångsspänning minskar. Kretsen blir alltså känsligare för transienta strålnings-effekter.

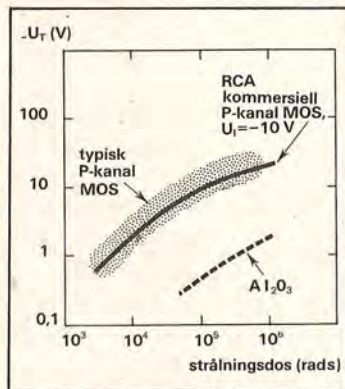


Fig. 3. Typiska tröskelspänningsskift på grund av joniserande strålning. Styret förspänt  $-10$  V under bestrålning. Figuren hämtad från litt.ref. 1.

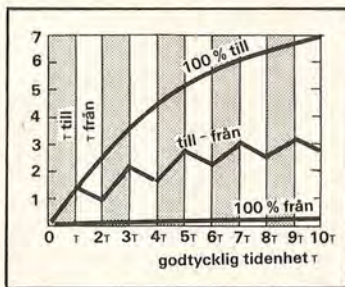


Fig. 4. Typiska tröskelspänningsskift hos P-kanal MOS-transistor med olika styrspänningar, under bestrålning:  
"till"  $U_i = -9$  V  
"från"  $U_i = 0$  V  
Strålningsintensiteten är  $10^4$  rad/tidsenhet. Figuren hämtad från litt.ref. (4).

Tröskelspänningsskiftet är starkt beroende på fältet i isolatorn, fig 4. Därför kommer antingen P- eller N-kanaltransistorer i en CMOS-inverterare, fig 5, att skifta mest. Vilken det blir är beroende på om ingångsspänningen är låg eller hög.

Med 0 V på ingången är spänningen nästan 10 V över P-kanalisolatorn varvid dess tröskelspänning skiftar kraftigt negativt. Detta innebär att överföringskaraktistiken skiftas mot lägre spänningar samtidigt som toppströmmen minskar. Det medför att inverteraren blir omöjlig att skifta från låg till hög utgångsspänning, fig 6 a. Med 10 V på ingången ligger 10 V över isolatorn i N-kanaltransistorer varvid denna blir av allt kraftigare utarmningstyp, dvs den blir alltid ledande. Detta leder till att toppströmmen ökar samt att den spänning som krävs för att skifta inverteraren till låg utgångsspänning minskar, fig 6 b. Detta kan leda till att viloeffektförbrukningen blir så hög att kretsen bränns sönder. Skulle kretsen tåla effektförbrukningen, kan den likväl bli omöjlig att skifta till hög utgångsspänning.

Som synes i fig 4 bestäms den dos som en transistor kan motstå, dvs hur mycket tröskelspänningen kan tillåtas att ändras, av styrspänningen. En icke-ledande transistor tål betydligt större doser än en ledande. Är styrspänningen pulsad, kommer man att närma sig någon av gränskurvorna, (vilken det blir, beror på pulsperiod-förhållandet). Med en fyrkantvåg hamnar man mitt mellan gränserna. Man ser också att transistorerna återhämtar sig under den period då den ej är förspänd.

Detta kan man utnyttja för att öka

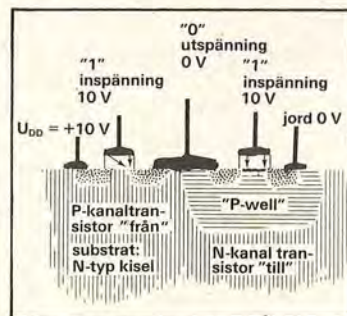


Fig. 5. CMOS-inverterare.

livslängden på sina system. Rymdfarkosten förses då med ett redundant system som automatiskt kopplas in när det första systemet närmar sig felnivån. Detta system kommer då att återhämta sig medan det är urkopplat, även om bestrålningen fortsätter. Genom att växla mellan redundant system kan man avsevärt förlänga livslängden på sin rymdfarkost.

### Bipolära transistorer

I bipolära transistorer medför permanenta strålnings effekter att transistorens förstärkningsfaktor minskar. Det beror dels på gammastrålning som åstadkommer en yteffekt, analog med den i MOS-kretsar, men framför allt på neutronstrålning. Neutronerna ger upphov till defekter i kiset, vilka uppträder som rekombinationscentra i basen. Typiskt för en transistor (MC-201) är att förstärkningsfaktorn minskar från 60 till 2 vid en dos på  $10^{15}$  neutroner/cm<sup>2</sup>. I bi-

polära transistorer uppnår man okänslighet för strålning genom att hålla basvidden liten (medför hög gränshfrekvens). Det är alltså en fråga om att styra diffusionerna noggrant, där har man nästan kommit så långt det går.

### Jämförelse MOS -bipolärt

För att kunna jämföra bipolära och MOS-transistorers motståndskraft mot strålning, måste man definiera ett meningsfullt förhållande mellan neutron- och gammastrålning. I fig 7 har valts  $2 \times 10^8$  neutroner/cm<sup>2</sup>, rad. En snabb jämförelse mellan MOS- och bipolära transistorer fås om man jämför andra och femte stapeln. Det ger en ungefärlig bild av skillnaden mellan standard MOS och bipolära transistorer. Värt att notera i figuren är de stora potentionella möjligheterna för CMOS-kretsarna att uppnå större hårdhet om man väljer en bättre isolator.

### "TREE-effekter" i MOS

En annan strålnings effekt som en krets måste kunna motstå i rymden är mycket korta pulser, under en mikrosekunds varaktighet, av gammastrålning med mycket hög intensitet. Sådana pulser är i allmänhet förknippade med kärnladdningsexplosioner vilka en satellit kan komma att passera. Den höga strålningsintensiteten ger upphov till fotostömmar i kretsen, vilka kan orsaka två typer av fel. Dels kan någon komponent brännas sönder p g a överhettning, dels kan strömmar slumpmässigt ändra tillstånd på vissa grindar och på så sätt fördärva informationen, t ex i styrsystemet i en rymdfarkost.

De transienta fotostömmarna genereras huvudsakligen i de bakspända kollektorsubstratövergångarna. Då dessa strömmar flyter ut genom den ledande transistorer ger

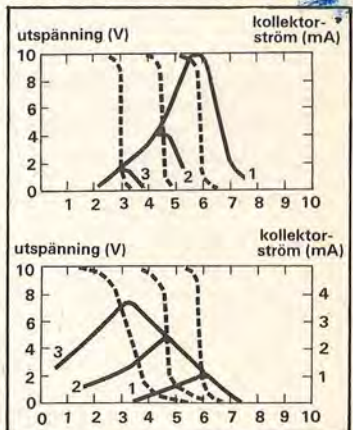


Fig. 6. Förändringar hos en CMOS-inverterare utsatt för strålning överföringskaraktistiken streckad, kollektorströmmen heldragnen. Ingångsspänning i a) är 0V (spänning över N-kanalisolatorn) och i b) +10 V (spänning över P-kanalisolatorn). Figuren från litt.-ref. (4). Kurva 1 motsvarar 0 rad; kurva 2,  $2,37 \cdot 10^4$  rad; kurva 3,  $3,12 \cdot 10^5$  rad.

de upphov till en spänningspuls på utgången. En strukturell fördel med Cosmos-inverteraren är att fotströmmen från N-transistorn flyter från medan den från P-transistorn flyter in i utgångsmöden, dvs Cosmos-inverteraren är diodkompenserad. Genom att matcha de båda kollektordioderna mot varandra kan Cosmos-kretsarna göras mycket motståndskraftiga mot transienta strålningseffekter. Upp till strålningsintensiteter på  $8 \times 10^8$  rad (Si)/s ökar spänningspulserna ungefär linjärt med intensiteten, fig 8. I läge hög utgång är TREE-spänningspulserna verkligt små vilket tyder på utmärkt diod-kompen-

sering, medan i läge låg utgång en typisk CMOS-inverterare med 10,0 V förspänning får spänningspulser på + 0,4 V vid  $8 \times 10^8$  rad (Si)/s. Vid högre intensiteter ökar emellertid spänningen snabbt antagligen beroende på effekter från p-well isolationen och gateskyddsdiöder.

### "TREE-effekter" i bipolära transistorer

Transienta strålningseffekter i en bipolär transistor domineras av fotströmmar i den bakspända kollektorbasövergången. Denna fotström består av två komponenter.

Värt att lägga märke till är att en fränslagen transistor kan slås till av den primära fotströmmen som

flyter genom basseriesistansen. När transistorn väl slagit till kommer den sekundära fotströmmen att flyta genom transistorn.

I en integrerad krets uppbyggd av bipolära komponenter måste de olika krets-elementen på kiselbrickan vara isolerade från varandra. Detta åstadkomes genom isolerande PN-övergångar, vilka kommer att uppta den största ytan på brickan. De största fotoströmmarna genereras alltså i isolationsPN-övergångarna, flyter ut genom belastningsresistanserna och förorsakar logiska fel långt innan de primära och sekundär fotströmmarna ovan. Ett sätt att komma till rätta med dessa fel-

strömmar är att använda kretsar med dielektriskt isolerade komponenter. Liksom i CMOS-kretsar betäms fotströmmarna av utarmningsområdenas yta, dopningsnivåer och minoritetsbärarlivslängd.

### TREE-effekter i MOS och bipolära kretsar

Kortfattat kan man summera TREE-effekterna i CMOS- respektive bipolära kretsar i fem punkter.

1. De diffunderade ytorna i en MOS-transistor är i allmänhet fem gånger mindre än kollektorbasövergången yta i en bipolär transistor, varför fotoströmmarna är lika många gånger mindre.

2. En sekundär effekt i en bipolär transistor är att fotströmmen förstärks med förstärkningsfaktorn om transistorn har normal arbetspunkt. Denna effekt är ofta felorsaken i bipolära kretsar men är försumbar i MOS-kretsar.

3. Då MOS-kretsar med fördel kan tillverkas i tunnfilmsteknik (kisel på safir) kan PN-övergångarnas effektiva utsträckning nedbringas storleksordningen flera tiopotenser, varvid fotströmmen kraftigt reducerats.

4. Diodkompensering är en naturlig egenskap hos CMOS-kretsar.

5. En av de få nackdelarna med MOS-komponenter är att bipolära transistorer normalt har betydligt lägre "till" impedans än MOS-transistorerna.

En viktig faktor då man jämför TREE-effekter i CMOS- och bipolära kretsar är kretsens störmarginaler. Fig 9 visar överskådligt motståndskraften mot strålning för olika typer av kretsar. Ljusa staplar visar experimentella nivåer medan mörka områden är en extrapolation av uppmätta resultat snarare än direkta mätningar.

### Sammanfattning

De två helt olika typer av strålningseffekter en krets utsätts för i rymden, permanenta och transienta, har beskrivits. Den huvudsakliga felkällan för en civil rymdfarkost är de permanenta strålningseffekterna, dvs fel som uppträder efter lång tid i rymden med ständig bestrålning. Den permanenta strålningens inverkan på en MOS-transistor är att tröskelspanningen skiftar mot alltmer negativa värden.

En följd härav är t ex att en CMOS-inverterare kan förlora sin förmåga att invertera. Även andra fel kan uppstå som t ex minskningar i transkonduktansen och ändringar i "tillresistansen". Den huvudsakliga strålningseffekten orsakas av den joniserande strålningen, dvs gamma- och elektronstrålning.

I bipolära transistorer minskar förstärkningen med strålningsdosen. Det orsakas av neutronstrålning som ger upphov till gitterförskjutningar i kiset. En jämförelse mellan MOS- och bipolära kretsar i en typisk [1]

blandad neutrongammastrålningsmiljö, visar att de bipolära kretsarna tål större strålningsdoser än MOS-kretsarna. MOS-kretsarna har dock stora potentiella möjligheter att gå förbi om man väljer en motståndskraftigare isolator.

Speciellt i militära tillämpningar måste man också göra sina kretsar motståndskraftiga mot transienta strålningseffekter. Med detta menas de korta, högentensiva gammastrålningspulser som förknippas med kärnladdningsexplosioner och som slumpmässigt kan ändra tillstånd på logiska variabler. CMOS-kretsar har större okänslighet för transienta strålningseffekter än bipolära kretsar om de tillverkas likvärdigt.

### Litteratur

1. Dennehy W J, & Holmes-Siedle A G, & Zaininger K H: *Digital Logic for Radiation Environments: A Comparison of Metal-Oxide-Semiconductor and Bipolar Technologies*, RCA Review (1969 Dec) p. 668-708.

2. Ezzard G: *Radiation Effects on COS/MOS Devices*, RCA Databok: COS/MOS Digital Integrated Circuits (1972).

3. Schambeck W: *Radiation Resistance and Typical Applications of RCA COS/MOS Circuits in Spacecraft*, RCA Databok: COS/MOS Digital Integrated Circuits. (1972), Telemetry Journal (1970 June/July).

4. Poch W J, & Homes-Siedle A G: *The Long-Term Effects of Radiation on Complementary MOS Logic Networks*, RCA Databok: COS/MOS Digital Integrated Circuits. (1972), IEEE Trans. NS-17 (1970 Dec).

5. Hampel D, & Prost K J: *Transient Radiation Tests on RCA COS/MOS Circuits*, RCA Databok: COS/MOS Digital Integrated Circuits, (1972).

6. Poch W, & Homes-Siedle A G: *Permanent Radiation Effects in Complementary-Symmetry MOS Integrated Circuits*, IEEE Annual Conference on Nuclear and Space Radiation Effects. (1969 July).

7. Dennehy W J, & Homes-Siedle A G, & Leopold W F: *Transient Radiation Response of Complementary-Symmetry MOS Integrated Circuits*, IEEE Annual Conference. (1969 July), IEEE Trans. NS-16. (1967 Dec).

8. King E E, & Nelson G P & Hughes H L: *The Effects of Ionizing Radiation on Various CMOS Integrated Circuit Structures*, IEEE Annual Conference on Nuclear and Space Radiation Effects. (1972) p. 264-270.

9. Peel J L & Konoshita G: *Radiation-Hardened Complementary MOS using SiO<sub>2</sub> - Gate Insulators*, IEEE Annual Conference on Nuclear and Space Radiation Effects. (1972), p. 271-274.

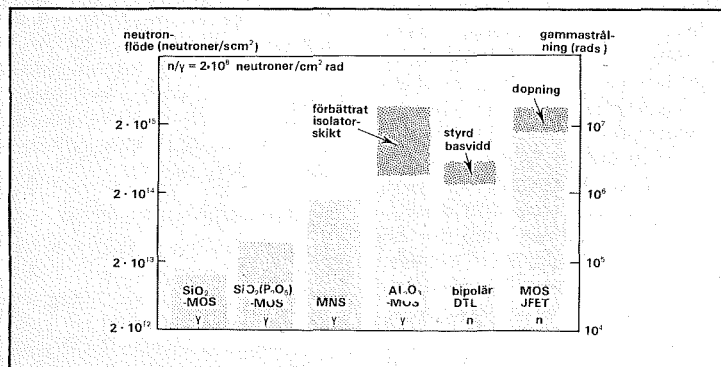


Fig. 7. Typiska felnivåer för permanenta strålningseffekter för några olika kretsar i en typisk strålningsmiljö. Figuren från litt.ref. (1). "n" betyder neutronstrålningseffekter. "γ" betyder gammastrålningseffekter. De ljusa fälten visar uppmätta värden, de mörka visar uppskattade värden.

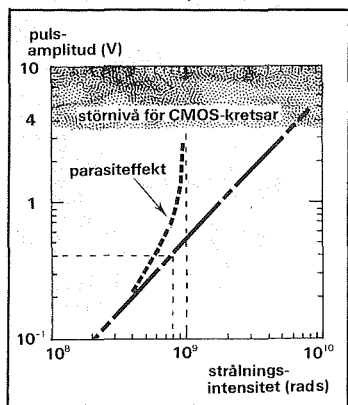


Fig. 8. Typisk kurva för transienta utgångspulser som funktion av strålningsintensitet. Från litt.ref. (7).

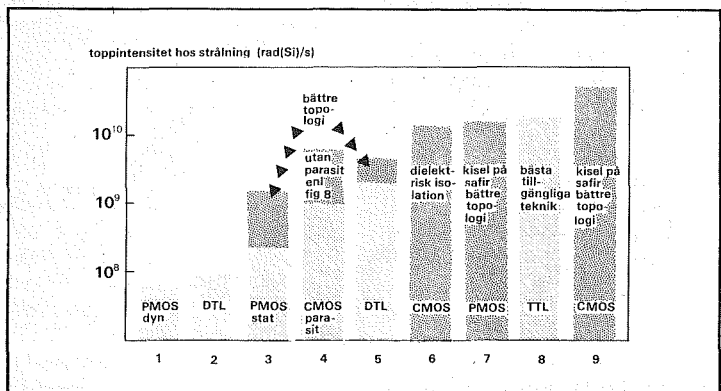


Fig. 9. Typiska felnivåer för transienta strålningseffekter för några olika typer av logik. Figuren från litt.ref. (1). Ljusa ytor representerar uppmätta värden, mörka visar uppskattade värden.

# MNOS

## – minnesledande halvledare

Ferritkärnminnen ersätts i stor utsträckning av integrerade halvledarminnen. Bland sådana minnen har en ny variant dykt upp, nämligen MNOS-minnestransistorn. Den är uppbyggd som en fälteffekttransistor med isolerat styre och har sådana egenskaper att det endast krävs en transistor för varje lagrad minnesbit.

Det innebär stora fördelar: hög packningstäthet, högt tillverkningsutbyte och låga kostnader. I motsats till andra halvledarminnen är minnestransistorns data "icke-flyktiga" dvs dess lagringsegenskaper är oberoende av eventuella avbrott i kraftförsörjningen.

En minnestransistor som hittas i en skrivbordslåda efter tio år innehåller fortfarande den lagrade informationen.

Författaren, civilingenjör Kjell Jeppson, är verksam vid Institutionen för elektronfysik III, CTH.

Minnestransistorn, eller MNOS-transistor som den vanligen kallas efter Metal-Nitride-Oxide-Silicon, är i princip uppbyggd som en konventionell MOS-transistor. Det är alltså en fälteffekttransistor med isolerat styre där isolatorn består av ett dubbelskikt av nitrid och oxid (fig. 1). Nyckeln till minnestransistorns funktion är det dubbla isolatorskiktets förmåga att lagra elektrisk laddning under styrelektroden. Resultatet är ett "icke-flyktigt" minne. En allvarlig invändning mot halvledarminnen i allmänhet är annars att den lagrade informationen går förlorad vid avbrott i kraftförsörjningen.

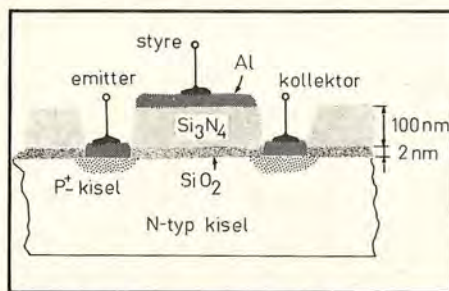


Fig. 1. Den schematiska uppbyggnaden av en MNOS-transistor.

### Funktionen

Om styret ges en positiv puls, fig. 2, med amplituden  $U_W$  och längden  $t_W$  skrivs en logisk etta i minnet. En likadan puls med motsatt polaritet skriver en nolla. Denna skrivprocess kan upprepas hur många gånger som helst. Informationen läses med en läspuls  $-U_R$  på styret varvid vi erhåller en kollektorström om minnet är i tillståndet "1" medan "0" inte resulterar i någon ström. Ungefärlig storleksordning är  $U_R = 1/6 U_W$ . Funktionen framgår kanske ännu tydligare i figur 3. MNOS-transistorn arbetar som en vanlig MOS-transistor men tröskelspänningen kan skiftas mellan två lägen svarande mot logisk etta respektive nolla. Figuren visar också hur minnesinformationen ändras efter lång tids lagring.

### Fysikalisk bakgrund

Tröskelspänningen i en konventionell MOS-transistor är inte alltid stabil. Det beror på jondrift i oxiden vid pålagd styrspänning, och märks speciellt vid förhöjd drifttemperatur. En MNOS-transistor med 50 nm oxid och 50 nm nitrid i isolatorn har en mycket stabil tröskelspänning. Kiselnitrid har nämligen en mycket tätare struktur än oxiden och stoppar jondriften. Genom att kombinera oxidens låga ytillståndstäthet med nitridens fina passiverande egenskaper kan man alltså tillverka mycket stabila MNOS-transistorer.

Görs oxiden tunn ( $< 5$  nr) visar transistorens tröskelspänning som funktion av pålagd styrspänning ett hystereseffektat upp-

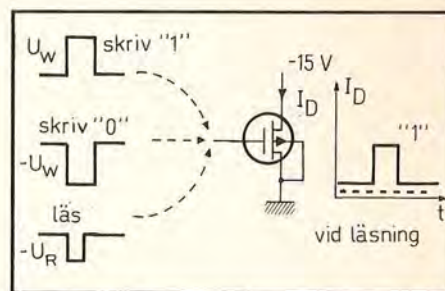


Fig. 2. MNOS-transistorn som minne.

trädande. Det beror på att elektrisk laddning lagras i "fällor" i nitriden vid skiljeytan mellan oxid och nitrid. Då oxiden kan tillverkas reproducerbart kan vi också styra detta hystereseffektat i tillverkningsprocessen.

Nyckeln till hystereseffekten är nitridoxid-mellanytans närhet till kiselnytan. Oxidskiktet tjänstgör här som en barriär som laddningarna måste transporteras, tunna, igenom för att fylla eller tömma fällorna. Barriären förhindrar också laddningstransport när ingen spänning ligger över styret eller när denna spänning är för låg.

### Skrivning och läsning

Lägger vi en stor positiv puls på styret kommer elektroner att tunnla från ledningsbandet i kisel till nitridens ledningsband och sedan fångas i fällorna. Naturen hos fällorna är inte speciellt väl känd men vi antar två diskreta fällnivåer i nitridens förbjudna band, fig. 4. Resultatet av vår positiva styrepuls är alltså en upplagrad negativ laddning i mellanytan. När skrivpulsen dött ut anrikas denna laddning kanalen på håll, vilket innebär att transistorens tröskelspänning skiftas åt det positiva hållet. Oxidbarriären hindrar laddningen från att läcka ut. En motsvarande puls med negativ amplitud tvingar elektroner att tunnla ut från den övre fällnivån samtidigt som håll tunnlar från kiselns valensband till den lägre fällnivån. En viss rekombination äger också rum mellan fällnivåerna. Resultatet blir en positiv laddning i isolatorn vilket utarmar

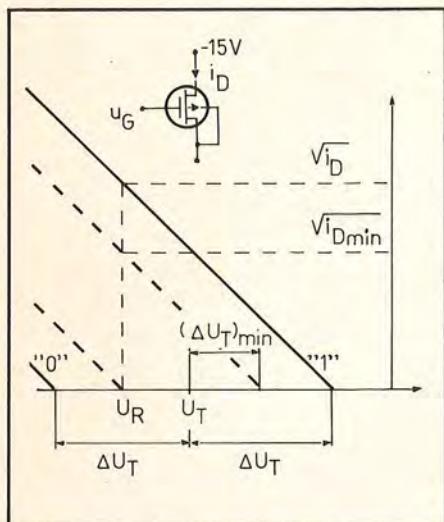


Fig. 3. De två logiska tillstånden "1" och "0" representeras av två olika tröskelspänningar  $U_T + \Delta U_T$  och  $U_T - \Delta U_T$  (heldragna kurvor). Vid lång tids lagring går tröskelspänningarna tillbaka mot  $U_T$  (streckade linjer). Om  $2\Delta U_{Tmin}$  är det minsta tillåtna tröskelfönstret i ett system efter t ex 10 års användning är  $U_R$  lämplig lässpänning, och  $I_{Dmin}$  blir den minsta transistorström som svarar mot logisk "1". Med "tröskelspänning" menas — som vanligt — den minsta spänning på styret som krävs för att transistor skall leda, dvs för att en ström skall flyta mellan emitter och kollektor.

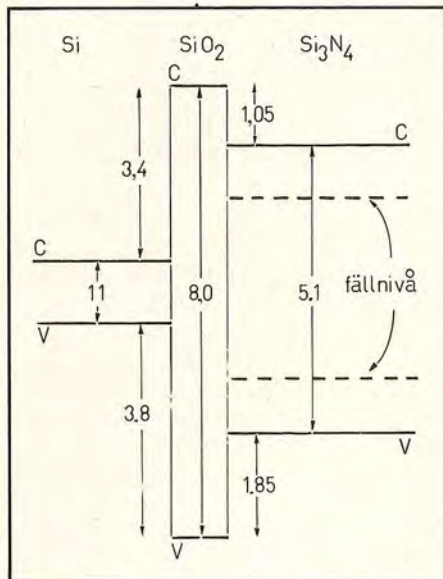


Fig. 4. MNOS-strukturens banddiagram.

kanalområdet på hål och gör tröskelspänningen mera negativ.

Både skrivning och läsning av en MNOS-transistor sker genom späningspulsning på styret. Vid skrivning ligger så höga elektriska fält över isolatorn att laddning tunnlar genom oxidskiktet och lagras i isolatorn. Beroende på skrivpulsens polaritet kan transistorens tröskelspänning skiftas, antingen mot mer positiva eller mer negativa värden. Läsning av transistorens information innebär helt enkelt att man testar transistorens tröskelspänning. Läspulsen måste alltså vara så låg att den inte ändrar transistorens innehåll men ändå så stor att transistoren leder om den har låg tröskelspänning (logisk etta) och spärrar om den har hög tröskelspänning (logisk nolla).

Låt oss betrakta ett exempel. Antag en P-kanal MNOS-transistor med 1,5 nm oxid och 40 nm nitrid och en ursprunglig tröskelspänning på  $U_T = -6$  V. Vi vill skriva i denna transistor med pulslängden 1  $\mu$ s och ha en skillnad i tröskelspänning på 10 V. Detta kräver en skrivpuls på  $\pm 27$  V och ger de båda tröskelspänningarna  $-1$  V för "etta" och

$-11$  V för "nolla". Låter vi minnet arbeta långsammare och nöjer oss med 1 ms-pulser reduceras skrivspänningen till  $\pm 21$  V för ett "tröskelfönster" på 10 V.

Mycket fina lagringsegenskaper har uppmätts hos MNOS-minnen och man räknar med att efter 10 år fortfarande ha halva tröskelfönstret kvar. Det medför alltså en spänningsskillnad mellan logisk nolla och etta på 5 V och några svårigheter med läsning har ännu inte uppstått.

Hur läser vi då minnet? Efter en 10 årig användningsperiod ligger tröskelspänningsnivåerna på  $-6$  V  $\pm 2,5$  V. Läspulsen måste ligga i detta intervall och då det innebär en viss optimering att välja den så nära den negativa tröskelspänningen som möjligt, väljer vi en läspuls på  $-8$  V.

Innehåller minnet en logisk etta kommer en strömpuls att flyta genom transistoren eftersom denna leder, medan transistoren spärrar om den håller en nolla i minnet. Som vi ser är tröskelspänningen negativ i båda tillstånden vilket är en fördel i minnessystem eftersom inga strömmar flyter genom systemet vid bortfall av styrspänningen.

De utmärkta lagringsegenskaperna (10 år) som transistoren uppvisar, beror på att transistorens naturliga urladdning är mycket långsam. Används transistoren däremot i ett system med täta läsningar kommer lässpänningen att accelerera urladdningen. En fullständig optimering av en transistor som läses under varannan puls skulle kräva en initial tröskelspänning på  $-1,25$  V, alltså en pulsning mellan tröskelspänningarna  $-6,25$  V och  $+3,75$  V. Lämplig lässpänning blir  $-3,75$  V. Med detta arrangemang förlorar vi dock finessen att systemet inte skulle leda någon ström vid styrspänningen noll. Det kommer det att göra nu vilket alltså kräver en vilostyrs spänning på  $+3,75$  V. Vi förlorar en fördel men får en fullständig optimering av urladdningstiden med en optimal drifttid hos minnessystemet på 8 månader (vid kontinuerlig läsning).

ROM Read-Only-Memory. I detta minne skrivs informationen vid tillverkningen. Skrivningen görs endast en gång medan informationen kan läsas upprepade gånger.

RAM Random-Access-Memory. I ett Random-Access-minne läses och skriver man informationen ungefär lika fort.

PROM Programmable-Read-Only-Memory. Detta är ett långsamt skrivbart Random-Access-minne och dess uppbyggnad är likartad med ett sådant.

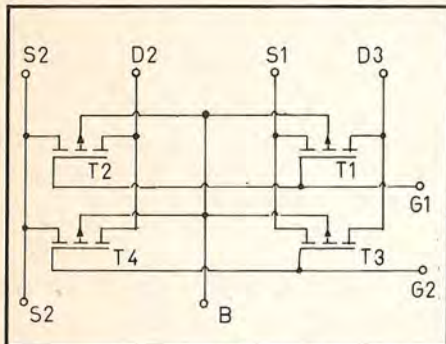


Fig. 5. Minnesmatrisens uppbyggnad.

De problem som återstår att lösa för att optimera minnestransistorer är således av tillverkningsteknisk art. Arbetena är redan långt på väg när det gäller att tillverka tunnare (ca 40 nm) nitridskikt med högt utbyte. Likaså förbättras ständigt tillverkningstekniken när det gäller att minimera den initiala fasta laddningen i oxiden. Bl a kan man tänka sig olika former av värmebehandling av isolatorn (annealing) såväl som ökad renhet och noggrannhet vid tillverkningen.

I halvledarminnes tillämpningar är optimeringsriktlinjerna som leder till hystereskaraktistiken följande

- Logik- och matningsspänningar måste vara jämförbara med MOS-integrerade kretsar för att möjliggöra användandet av MOS-drivkretsar på samma bricka. Detta innebär en övre gräns på laddningsspänningen av  $\pm 25$  V.
- Stor snabbhet med tillräcklig lagringskapacitet. För att möta behovet av tillräckligt stort initialtröskelfönster (minst 4 V vid  $\pm 25$  V skrivspänningar), reduceras tjockleken hos nitriden till 60 nm. Detta ökar den laddning som lagras för given skrivspänning medan man ännu arbetar mer än 50 % under styrets genombrottsspänning.
- För att uppnå hög snabbhet (pulstid  $< 10 \mu s$ ) måste tjockleken hos den termiska oxiden reduceras till den minsta tjocklek som kan tillverkas reproducerbart. Kiselnitridens konduktivitet måste vara så låg som möjligt.

### Selektiv skrivning

För att få hög komponenttätet på den integrerade skivan, måste minnesorganisationen utnyttja MNOS-transistorer

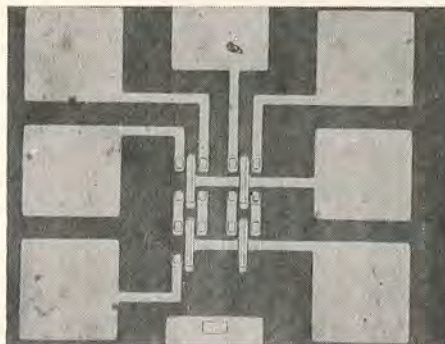


Fig. 6. Det här är en minnesmatris i MNOS-teknik, tillverkad vid Institutionen för elektrofysik III vid CTH. Minnet innehåller fyra MNOS-transistorer organiserade i två tvåbitarsord.

egenskap att kunna lagra en bit per transistor. För att förenkla adress-kretsarna är det också önskvärt med ett gemensamt substrat för alla komponenter, så att man undviker isolationer mellan bitar eller ord. Från diskussionen om transistorens verkningsätt vet vi att skrivandet av information i minneskomponenten kräver en skrivimpuls mellan styret och substratet. Selektiv skrivning av information kräver alltså isolation mellan bitkolumner. Precis som i en MOS-transistor kan isolatorspänningen styras genom spänningen på emitter och kollektor om skrivpulsen är negativ så att en ledande kanal induceras mellan dessa.

För en negativ skrivimpuls på  $-25$  V, och jordat substrat, induceras en kanal som förbinder emittern med kollektorn. Om både emitter och kollektor läggs på  $-15$  V kommer kanalen att anta samma potential och på så sätt reducera isolatorspänningen till  $-10$  V och därmed omintetgörs skrivning. Man kan också lägga  $-15$  V på kollektorn och låta emittern vara fri varvid kanalen antar kollektorspänningen.

Låter vi däremot emittern ligga fritt och kollektorn ligga på jord kommer en negativ skrivimpuls att skriva en nolla. Det innebär att för negativa skrivpulser är selektiv skrivning av logiska nollor möjlig.

### En $2 \times 2$ MNOS-minnescell

Den metod för selektiv skrivning som anges i föregående avsnitt gör det lämpligt att organisera vårt minne ordvis så som visas i fig. 5.

Minnet består av fyra MNOS-transistorer organiserade som två ord med två

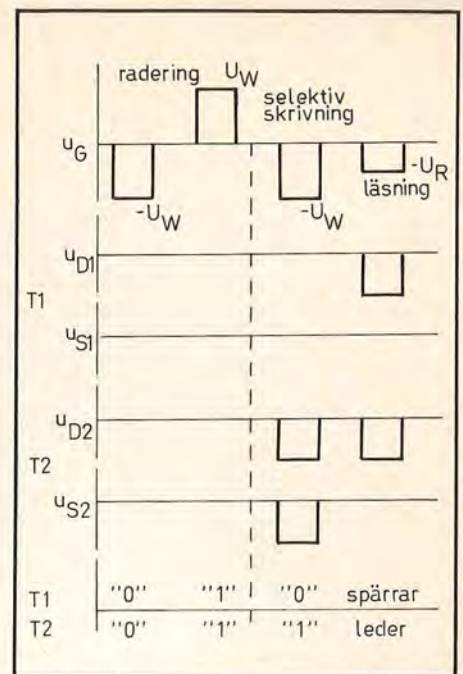


Fig. 7. Spänningar vid en komplett skriv/läscykel i två bitar.

bitar per ord. Informationen skrivs i ett externt valt ord med en trestegs skrivcykel. Först raderas minnet med en negativ och en positiv skrivimpuls varvid logiska ettor kommer att skrivas i alla minnestransistorer. Alla bitspänningsnivåer är då noll. Skrivcykeln avslutas sedan genom att logiska nollor selektivt skrives i de aktuella bitarna i ett utvalt ord. Detta sker genom att en negativ skrivimpuls läggs på ordets gemensamma styre. I de bitar där den redan skrivna ettan skall behållas läggs kollektorn på  $-15$  V så att kanalen antar denna potential då emittern flyter fritt. Som tidigare beskrivits reduceras isolatorspänningen så att skrivning ej är möjlig. I alla övriga bitar skriver pulsen en nolla.

Informationen hämtas ut från minnet med en läspuls på ordets gemensamma styre. Vad som är skrivet i minnet kan avläsas i strömpulser i bitledningarna.

Fig. 6 visar ett foto på en integrerad  $2 \times 2$  minnescell tillverkad vid Institutionen för elektronfysik III vid CTH. I fig. 7 visas ett komplett pulsmönster för en skriv/läscykel vilket demonstrerar det selektiva skrivandet av information i två bitar i ett ord. Minnet kräver tre pulser för skrivning och endast en för läsning. Därför är läsning mycket snabbare än skrivning. Från Litton anges en lästid på 50 ns och skrivtid på 250 ns inom räckhåll i ett praktiskt minne. Ett MNOS-minne är därför främst lämpat som ROM eller PROM, men kan också användas som RAM. Observera att minnet är "icke-flyktigt" eftersom bortfall av alla spänningar inte försämrar lagringsegenskaperna.

Om man vill utveckla detta minne till LSI-minnen krävs ett avkodningsschema för ordledningarna. Kravet att kunna av-

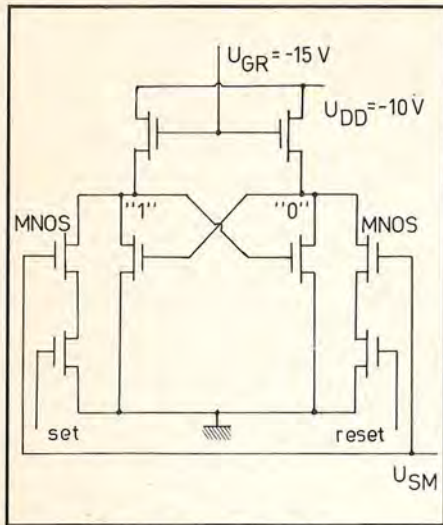


Fig. 8. Bistabil statisk MNOS-vippa.

koda två polariteter ( $\pm 25$  V) innebär problem i en kretslösning som bara innehåller isolerade P-kanal MOS-transistorer, eftersom P-diffusionerna inte kan bära en positiv spänning. Tänkbara lösningar ges om man isolerar minnet från avkodningskretsarna. En tillfredsställande lösning på avkodningsproblemen är nödvändig innan LSI-MNOS-minnen kan bli en praktisk realitet.

### Vippor

Bistabila "icke-flyktiga" kretselement är användbara i digitala kretstillämpningar där det är önskvärt att återvinna informationen efter ett fel eller avbrott på elnätet. I digitala räknare kan man använda MNOS-transistorer som ett icke-flyktigt minne i form av vippor med inbyggt minne. Hur en sådan vippa ser ut visas i fig. 8. Det är i grunden en konventionell korskopplad bistabil MOS-vippa i vilken två MNOS-transistorer lagts i serie med "set"- och "reset"-transistorerna. MNOS-transistorerna sätts först till logiska ettar genom en positiv puls  $U_{SM}$ .  $U_{SM}$ -linjen pulsas sedan med en negativ spänning med "set" och "reset"-transistorer spärrade (styrena jordade). I den vänstra MNOS-transistoren skrivs då en nolla medan den högra behåller sin etta. Denna MNOS-transistors kollektorspänning ( $-10$  V) överförs nämligen genom kanalen till emittern och därvid reduceras skrivspänningen så att skrivningen omintetgörs. Informationen i vippan ligger alltså lagrad som en skillnad i tröskelspänning. Efter ett strömavbrott får man tillbaka vippans information om man läser MNOS-transistorerna med "set"- och "reset"-transistorerna ledande. Tröskelspänningsskillnaden återställer komplementet av vippans ursprungliga värde. I fig. 9 visas en an-

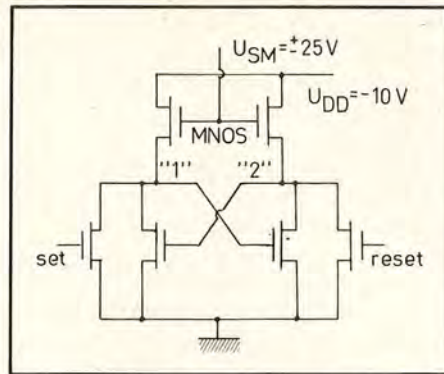


Fig. 9. Bistabil dynamisk MNOS-vippa.

nan vippa med färre antal komponenter. Beroende på hystereseffektens tidsberoende är denna konfiguration mest lämpad för en dynamisk tillämpning (matningspänning på endast när transport av information önskas). Funktionssättet är likt det ovan beskrivna men den annorlunda placeringen av MNOS-transistorerna återställer informationen direkt (ej komplementet).

### Användningsområden

Det är uppenbart att MNOS-minnen borde kunna användas i komplexa RAM- och ROM-minnen. Fördelarna är ju framför allt icke-förstörande läsning av information som ligger kvar även vid elavbrott, liten storlek och låg vikt. MNOS-minnen är speciellt lämnade till elektriskt

#### MNOS att köpa

MNOS-tekniken är ny, och ännu finns inga minnen i lager i Sverige. Plessey tillverkar komponenter, som beräknas lagras ungefär vid månadsskiftet oktober—november, säger agenten Hammar & Co. Pris-exempel: enkel transistor 15 kr, dubbel 30 kr. 4 transistorer i ett hölje kostar 60 kr och en  $8 \times 8$  minnesmatris, 255 kr. Priserna gäller 100-kvantiteter.

Siemens har nyligen presenterat sina nya minnen G192 ( $8 \times 4$  bitar) och G216 ( $8 \times 8$  bitar). Siemens prisindikation är 2 kr/bit, eller ca 65 resp. 130 kr för minnena.

Plesseys minnen kan fås i olika klasser, med olika lång lagringstid, från 1 dag till 100 år. Siemens anger en lagringstid på "flera månader".

ändringsbara ROM då det fordras låg energi jämfört med vad som krävs vid konventionell ROM-teknik.

Då minnet är elektriskt ändringsbart gör det också konstruktionen av prototyp-ROM-minnen billigare. Ett minne kan byggas, testas och ändras utan behov av nya masker som är dyra och tidskrävande att göra.

Även inom processtyrningstekniken kan man ha nytta av MNOS-minnen. Även om ett program tenderar att vara det samma under långa tidsperioder kan parametrarna som ingår i programmet ändras och så kräva ett ändringsbart minne.

Det kanske största området för MNOS-minnen i RAM-system är realtidsprocesser vilka vanligen kräver både försäkring mot dataförluster och möjligheten att tolerera plötsliga förändringar i omgivningen. Dataförlust vid elbortfall kan inte tolereras och bakgrundslagring på skivor eller trumminnen är opraktiskt då de är för långsamma. MNOS-minnen är idealiska eftersom de är okänsliga för stora elektriska och magnetiska störfält. Möjligheten att kombinera logik på samma skiva som ett "icke-flyktigt" MNOS-minne ger minnet ytterligare poentiella användningsmöjligheter. #

#### Litteratur

R F Vieth, *Nitride-Oxide Layer Proofs Memory Against Data Loss.*, Electronics, July 5 1971, pp 53—56.

D Frohman-Bentchkowsky, *The Metal-Nitride-Oxide-Silicon (MNOS) Transistor — Characteristics and Applications.* Proc. of IEEE, Aug 1970.

I Lundström & C Svensson, *Properties of MNOS Structures.* IEEE Trans. of Electron Devices June 1972.